

基准电压源(V_{REF})应用设计技巧和诀窍

前言

By Jocelyn Chang, Product Marketing Engineer

产品营销工程师

日常生活的电子产品和子系统变得越来越智能，这就需要其“大脑”（硅芯片）在面对现实环境中多种多样情况时，能够对各种可能最终影响系统行为和性能做出可预测和期望的反应。这时，基准电压源就出现在我们面前了。基准电压源是一种精密的器件，专门设计用来维持恒定的输出电压，即使在环境温度或者电源电压等参数变化的情况下也一样。基准电压源其精度之高，它能用于除数据转换器之外还能用于其他应用场合。你将在本文档中看到其应用的范围表明了，基准电压虽然不是一个新的概念，但它们是系统设计继续向前推进的一个组成部分。

本文对基准电压源作了综合的概述，包括基础知识和设计应技巧。第一章重点介绍基准电压源的基本特征。作者探讨了在一定情况下，电源设计人员可能需要从一个拓扑结构中获得某些特性，同时利用另一个拓扑的优点。第二章研究了基准电压源性能和数据转换器的设计原则。第三章也是最后一章，讨论了基准电压源的灵活应用，如低漂移直流基准电压和电流源。

我们已经从 TI 的顶级专家资料库中挑选并汇编了这些主题供您参考，通过优化电路来帮助你节省设计时间。这里举例说明的许多概念都来源于现场客户的问题，同时我们在实验室中演示如何解决这些问题。我们后续会将更多问题添加到这本电子书之中，希望你能喜欢并将它作为未来重要的设计资源。

目录

前言	1
目录	1
第 1 章：基准电压源基本要素	1
1. 并联和串联基准，哪种拓扑最适合你？	1
2. 如何利用并联基准实现超低压差	2
3. 如何用精密串联基准源实现并联基准的灵活性	3
4. 精密基准电压源的电平转换	4
5. 可调并联基准电压源	5

第 2 章：基准电压源的应用	6
1. 基准电压如何影响 ADC 性能：ADC 的基本操作	6
2. 基准电压源如何影响 ADC 性能：SAR ADC 基准电压系统的设计和性能	9
3. 基准电压源如何影响 ADC 性能：为 16 位 ADC 转换器设计基准电压源	11
4. SAR ADC PCB 布局：电压参考信号布局	13
5. 为 ADC 设计基准电压源	14
第 3 章：使用基准电压作为灵活的低漂移直流基准电压或电流源	16
1. 双基准电压源	16
2. 精密的单输出基准电流源	18
3. 单反馈器件构成的基准电流网络	19
4. 简单、精密的灌电流（源）架构	21
5. 为隔离式 DC/DC 的并联稳压器进行安全设计	23
参考资料	24

第 1 章：基准电压源基本要素

1. 并联和串联基准，哪种拓扑最适合你？

By Christopher Dean

与现实模拟世界进行交互的最常见方法是采用模数转换器（ADCs）、传感器或其他应用专用集成电路（ASIC）。精确测量的前提是需要一个不随系统波动的基准电压，它应该不受输入电压或环境温度等条件的影响。基准电压 IC 提供了一个稳定的电压，而其他 IC 参考此基准电压以所需的精度进行测量。

有两种基准电压源：并联和串联基准二种类型。它们都有自己的优缺点和应用场合，这些汇总在表 1 中。

并联基准电压源

并联基准电压源在功能上类似于稳压二极管，当此器件流过最小工作电流后，其器件上的压降保持恒定。并联基准作为一个固定压降来调节负载，并且将负载不需要的电流分流到地。外部电阻用来设定总的电源电流，其压降为输入电源与基准电压二者的压差，如图 1 所示。

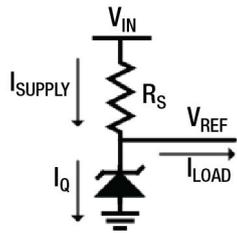


图 1 正基准电压源

最大负载电流是由输入电压和外部电阻大小决定。随着负载的变化，并联基准将吸收掉多余的电流。

外部电阻大小，可以由方程 1 和 2 计算得到最小值(R_{S_MIN})和最大值(R_{S_MAX})。

$$R_{S_MIN} = (V_{IN_MAX} - V_{OUT}) / (I_{LOAD_MIN} + I_{Q_MAX}) \quad (1)$$

$$R_{S_MAX} = (V_{IN_MIN} - V_{OUT}) / (I_{LOAD_MAX} + I_{Q_MIN}) \quad (2)$$

你还可以使用并联基准得到一个浮地基准和负向基准电压，而电路方程保持不变。浮地基准连接的是另一个电势而不是地。一个可能的用法是组合多个并联基准，以得到更高的基准电压，例如 15V 基准电压可以通过 10V 和 5V 的并联基准电压源组合得到。

	串联基准	并联基准
电路图		
端子数量	至少 3 个	至少 2 个
优势	<ul style="list-style-type: none"> 极小的功耗 普通具有高精度 低静态电流 I_Q 低压差 	<ul style="list-style-type: none"> 宽输入电压范围 可以构建负向或是浮地基准 天生具有灌电流和拉电流能力
劣势	输入电压 V_{IN} 受限	<ul style="list-style-type: none"> 最大负载时输入电流固定 没有关断模式
主要应用	工厂自动化、电网、医疗、测试	隔离电源、适配器、汽车应用
Ti 型号	LM41xxx, REFxxx	LM40xx-N LM(V)431, LM1/2/385, LM1.2.336 *ATL431, TL(V)431

表 1 并联与串联基准电压源特性比较表

对于负基准电压源，可以将负电源通过一个串联电阻接到阳极（在正基准电压中即是地），并将地接到阴极（在正基准电压中是输出端）。和正向输出结构一样，输出是位于电阻和稳压器件之间，如图 2 所示。

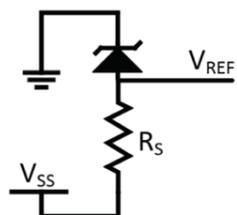


图 2: 负基准电压源

串联基准电压

串联基准不需要任何外部电阻，器件上会通过

负载所需的电流，同时加上一个小的静态电流。然而，正是因为输入电压直接加在器件上，而不是通过串联电阻，所以对于串联基准，有一个参数即最大额定输入电压需要考虑。图 3 即为一个典型的串联基准电路。

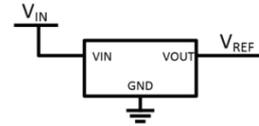


图 3 串联基准电路

对于串联基准而言，要求输入电压大小至少等于输出电压并加上一定的裕量，输入与输出之间额外的电压称之为压差，它一般随着负载电流增加而增加。

串联基准有可能包含一个使能功能，当不需要输出电压时，可以通过外部信号使能或禁用器件，这样可以节省功耗。

如果当你为电路选择基准电压时，请记住这些典型的用法：

- 并联基准应用场合：
 - 宽范围输入电压或存在大的输入电压变化。
 - 负向或浮地基准电压。
- 串联基准应用场合：
 - 负载电流变化，电源电流和负载电流同时减小。
 - 需要对基准源进行休眠或关断的场合。

2. 如何利用并联基准实现超低压差

By Christopher Dean

压差是指在一个给定负载情况下， V_{IN} 和 V_{OUT} 之间的最小电压差。你是否碰到过这样的场合，既需要一个基准电压，它必须承受宽范围输入电压，但又需要能维持低压差工作？例如，许多低压差的串联基准电压源所支持的输入电压不能超过 12V。这时并联基准电源就变得非常方便了。在图 1 所示的电路应用中，LM4040 并联基准电压为 4.096V，这是模数转换器（ADC）的常用电压，因为 1mV 相当于 12 位 ADC 的一个最低有效位（LSB）。

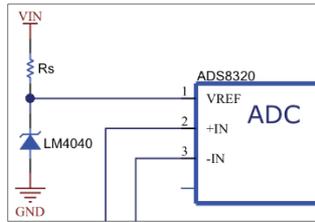


图 1: 利用并联基准来驱动一个带外部参考引脚的 ADC。

并联基准需要一个外部电阻来设置供电电流。可以从 ADC 数据表中确定基准电压的负载电流。在本例中，我们使用 [ADS8320](#)。在图 1 所示的电路中，在 ADC 数据表中，外部参考引脚的最大电流为 $80\mu\text{A}$ 。当外部电阻值为 576Ω 时，输入电压范围在 4.19V 至 12.75V 之间时，电压参考值仍可以保持在其工作区域内。其压差为 94mV ，但其整个性能范围内，输入电压超过了 12V 。

将并联基准电压和相同基准电压值 (4.096V) 的串联基准相比，[REF5040](#) 规格书中显示其最大电压差为 200mV 。

表 1 总结了 LM4040 并联基准源的电压和电流参数。

R_S	I_{LOAD}	$V_{\text{IN_MIN}}$	$V_{\text{IN_MIN}}$ 时的静态电流 I_Q	$V_{\text{IN_MIN}}$	$V_{\text{IN_MAX}}$ 时的静态电流 I_Q
576Ω	$80\mu\text{A}$	4.16V	$71.1\mu\text{A}$	12.75V	14.98mA

表 1 低压差 LM4040 并联基准源的电压和电流参数。

因为器件所需要的最大负载电流很小，只有 $80\mu\text{A}$ ，所以实现极低的压差也是有可能的，当负载电流增加时，电阻 R_S 也相应增加，这样会得到一个更高的最低输入电压 V_{IN} 。

3 如何用精密串联基准源实现并联基准的灵活性

By Marek Lis

串联基准电压源是一个三端器件： V_{IN} 、 V_{OUT} 和 GND。它在概念上与低压差电压调节器 (LDO) 相似，但是其静态电流更小，输出精度更高。可以把它想象成一个受电压控制的电阻 (VCR)，它位于 V_{IN} 和 V_{OUT} 之间。通过调整其内阻大小而得到基准参考输出，请参阅图 1 中的框图。

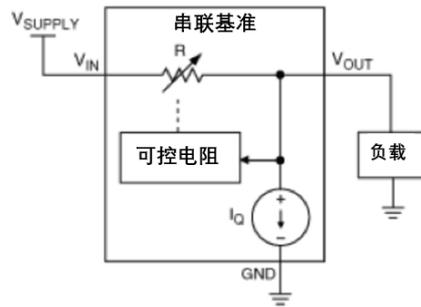


图1: 串联基准电压源-VCR模型。

和并联基准源相比，串联基准源通常具有更好的初始精度和温度漂移。因此，如果你需要优于 0.1% 精度，和/或低于 $25\text{ppm}/^\circ\text{C}$ 的温漂时，你很可能需要选择串联基准电压源。

但是，并联基准电压源提供了更大的设计灵活性，如在 V_{IN} 输入范围，以及在多个器件堆叠可以得到更高的参考电压，并能创建负向或浮地参考电压。

如何结合串联基准源的设计灵活性和串联基准源的精度？

可以选择 REF5050 家族的产品，它们具有高精度，稳定，低噪声，低温漂的特点，通过外部将 V_{IN} 和 V_{OUT} 引脚连接在一起。通过这样做，这个串联基准电压源本质性被转变成为一个稳压二极管，但大大减少了散粒噪声和反向击穿电阻的不利影响。当你可以使用这个家族中的七种器件中的任何一种，现在我们来重点关注一下 [REF5050](#) (5V 输出) 和 [REF5010](#) (10V 输出)。

图 2 中的简化原理图显示了 REF5050 的两个主要电路元件：带隙运放 (BandGapAmp) 其增益级用于确保 V_{OUT} 电压恒定 (不受温度和输入变化的影响)；和误差运放 (ErrAmp) 输出级，能够灌进或输出至少 10mA 的负载电流，且对输出电压初始精度没有影响。

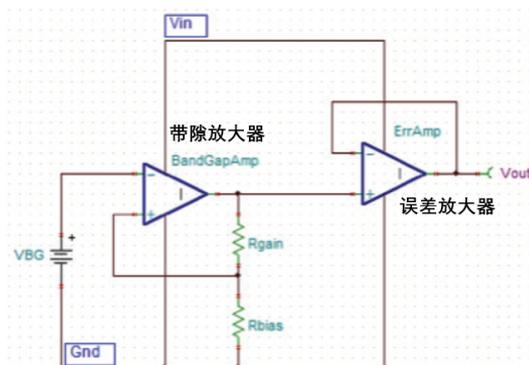


图 2: REF5050 的简化原理图。

为了确保 V_{OUT} 的初始精度和温漂，该 AB 类输出晶体管都必须工作在线性区；因此，漏源电压 (V_{DS}) 必须大于晶体管饱和电压 V_{SAT} 。所以，串联基准的输入电压 V_{IN} 必须至少高于 V_{OUT} 一个压差电压；请参见图 3 中的电路。REF5050 压差最小值在静态条件下 ($I_{OUT} = 0$) 为 200mV。

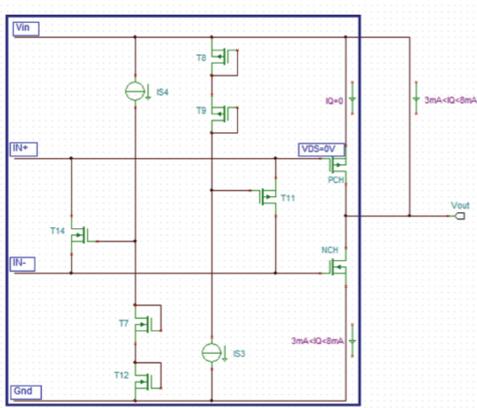


图 3: 把 REF5050 的 ErrAmp 输出级放在一个并联结构中。

但是，通过将 V_{IN} 和 V_{OUT} 外部连接在一起（图 3 的右侧）， $V_{DS} = 0V$ 和上端输出晶体管 PCH 完全关闭。在这样下，输出偏置电流 I_Q 会完全旁路掉 PCH 晶体管，直接从 V_{IN} 流向低端输出晶体管，NCH。这样在 V_{IN} 和 GND 之间建立了一个精确的基准参考电压。

通过短接 V_{IN} 和 V_{OUT} ，REF5050 变成了一个二端子的并联基准电压，但它仍然保持了串联基准电压的直流精度特性和温度特性。在这种结构配置下，输出级偏置会比典型的静态电流要高一些，但是 REF5050 的精度和稳定性保持不变。

图 4 和 5 是使用 REF5050 和 REF5010 作为基本模块进行配置的例子。

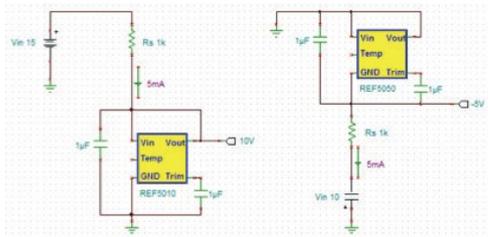


图4: REF5010和REF5050在正、负并联基准电源中使用。

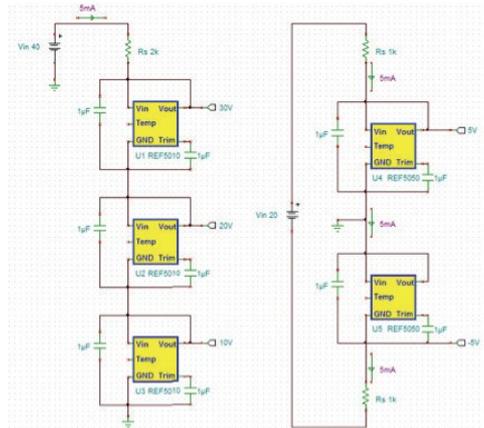


图 5: 利用 REF5050 堆叠串联得到更高的参考电压和利用 REF5010 来实现双电压并联基准。

鉴于 R_S 的大小适合所需的最大值输出负载，使用 REF5050 或 REF5010 作为并联基准参考对最大电源没有限制电压，因为大部分电压降和功率将在 R_S 上。因此，可以利用 REF5050 系列电压基准来设计一些新颖的电路，例如负向，双输出和浮动基准。另外，你可以堆叠（串联）多个器件从而获得任何期望的参考电压。

REF5050 的两端子结构具有优异的特性，这基本接近于一个理想的稳压二极管。将具有并联模块的 REF5010 进行串联连接，我们能够构建特别高的电压参考（千伏特级），同时具有非常高的电压精度和极好的温度稳定性。

4.精密基准电压源的电平转换

By Marek Lis

由于电路拓扑结构的限制，一些高精度串联基准电压不会提供较低的输出电压，如 1.25V 或更低。但只要有些负电源可用，还是有一些方法可以通过电平转换，在现有的基本电路上，创建得到较低输出参考电压。

新建立的基准电压源，其初始精度和漂移与原始基准电压源的性能紧密相关，同时外部放大器（运算放大器）的输入电压失调和漂移，以及匹配电阻要满足适当的最低要求。

产生 1.25V 精确基准电压的方法之一是利用电平转换，如图 1 所示。REF5025 的标称输出电压为 2.5V，利用 OPA376 驱动其 GND 引脚到 -1.25V，即可以通过电平转换得到 1.25V 的基准电压。OPA376 的最大输入失调电压和漂移分别为 $\pm 25\mu V$ 和 $\pm 1\mu V/^\circ C$ ，只要电阻 R1/R2 的匹配度在 0.01% 以内，产生得到的 1.25V 基准电压其初始精度和温度漂移

也能达到与 REF5025 媲美的性能。

由此产生的 1.25V 基准可以在低至±1.35V 或高至±2.75V 的电源中工作；它也可以工作于不对称电源+1.35V/-4.15V,+4.15V/-1.35V或他们之间任何电压，只要总的电源电压不超过 OPA376 的最大供电电压 5.5V 就好。

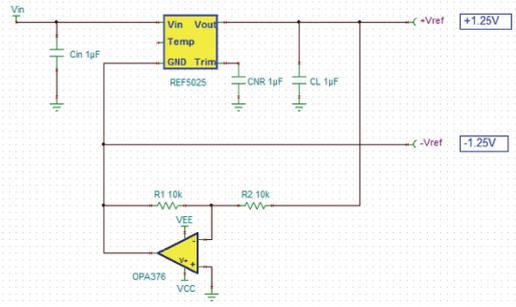


图1：创建一个1.25V精密基准电压

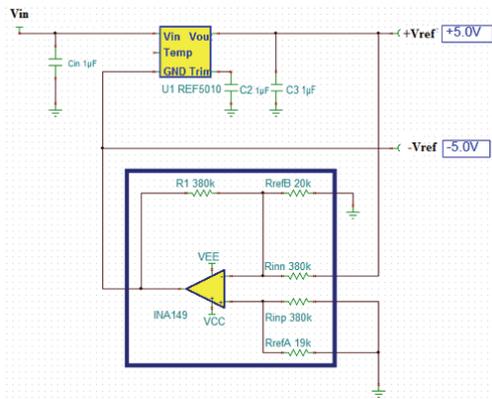


图2：利用INA149作为双输出精密基准电压源。

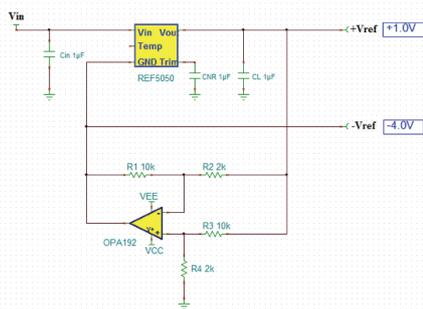


图3：利用OPA192和REF5050构建不对称精密基准电压源。

为了得到更高输出的精密基准电压，还可以将 REF5010 与差分放大器 INA149 一起使用，如图 2 所示。由于 INA149 是精密的单位增益（增益为 1）差分放大器，其最大增益误差为 0.02%，以及最大的失调电压 V_{OS} 为 $1100\mu V$ ，温漂系数为 $15\mu V/^{\circ}C$ ，将它与 10V 精密电压参考组合使用，可以得到一个 0.011% 的输入失调相关的误差 ($1100\mu V/10V*100\%$)

基准电压源设计

以及 $1.5\text{ppm}/^{\circ}C$ 温漂 ($15\mu V/^{\circ}C/10V * 1E+6$)。这些参数是在 REF5010 规定的最大初始精度和温度漂移以内，从而确保双输出精密基准电压（如图 2 所示）仍保留了 REF5010 的初始精度和温漂。

就供电电源而言，如图 2 的结构是可以工作在 + 5.2V 的最小电压（REF5010 内部存在 200mV 的最大压差）和 -6.5V（INA149 的输出可以线性降低至 1.5V 的负电源）。在高端，最高正电源可以高达 13V（受 REF5010 的最大总电压 18V 所限制），而负电压，Vee 仅受 IAN149 的总供电电压 36V 决定，因此可以在 -30.8V（如果 $V_{CC}=5.2V$ ）下工作，或 -23V（如果 $V_{CC}=13V$ ）。

如图 2 所示，使用差分或仪表放大器 (INAs)，并采用极好镭射精调内部电阻，以及温度系数的匹配，这和图 1 所示的方案相比，其性能更高，成本更低。因为图 1 所示的方案需要进行外部电阻匹配，而匹配度优于 0.1% 的电阻价格昂贵。

对于更高的电源电压工作，你还可以构建任意精确的基准电压，使用基准电压 IC 如 REF5050，以及一个高压精密放大器如 OPA192。通过适当缩放 R1 到 R4 电阻的比例（见图 3），可以将标称参考电压值配置成任何所需的电源大小。OPA192 的最大输入失调电压为 $\pm 25\mu V$ ，温漂为 $\pm 0.5\mu V/^{\circ}C$ ，可以确保由此产生的精密基准电压（如图 3 所示）保持了 REF5050 初始的精度和温漂，不过前提是外部电阻要达到 0.01% 匹配度。

对于图 3 电路的线性工作，最小正电源电压 (+1.2V) 是受限于 REF5050 的电压差 200mV。最小负电源电压 (-4.3V) 是基于 OPA192 定义的高于负电源的 300mV 输出摆幅。最大的正电源电压 (14V) 是受限于 REF5050 最大输入电压 (18V)，同时最大的负电源可以高达 -34.8V（如果 $V_{CC}=+1.2V$ ）或 -22V（如果 $V_{CC}=14V$ ），这仅受限于 OPA192 的最大供电电压 (36V)。

有多种方法可以将一个精密基准电压通过电平转换到任何所需的电压。但是，你也必须特别小心，不仅要正确选择外部元件如运算放大器，INAs 和电阻，同时也要保证最小/最大工作电源电压不会降低了原始电路的整体性能。

5.可调并联基准电压源

By Jose Gonzalez Torres

你有没有遇到这样一种情景，在你最喜欢的两个甜点之间进行选择，并同时在想“为什么我不能

同时拥有？”同样，工程师们在设计可编程基准电压源时，每天都会遇到类似的问题。

对于工程师来说，一个非常普通的目标就是低功耗设计，这提供了一系列功能：如检测温度，启动电脑，甚至提供你喜爱的甜品。但是你知道吗，为了能够低功耗运行，工程师也不得放弃了其他的优点。为了实现低功耗，工程师通常必须设计具有非常低电流的的基准电压，但在整个工作温度范围内其精度损失严重。有没有一种办法能让工程师得到他们喜欢的甜点（蛋糕）并且吃掉呢？我想你已经有答案了。

首先，我们来看看基准电压精度的意义，以及影响精度的条件。我们利用 [TL431](#) 来进行分析。如果你有类似于图 1 的电路，你可以设置电阻 R1 和 R2 来获取基于基准电压参考的期望的阴极电压 V_{KA} 。你可以在[这里](#)找到更多如何使用的应用笔记。

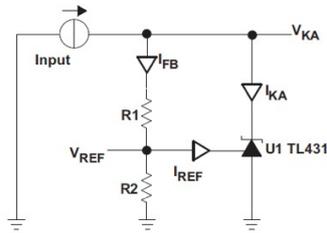


图 1:电源电流限制器。

V_{REF} 并不总是处于其标称值上；实际上，取决于器件的工作条件，它总是有一定的偏移量。表 1 为 TL431 规格书中直接影响 V_{REF} 的一些参数。

还可以使用公式 1 来计算有效的 V_{REF} ，它加入了这些参数（典型）的集体效应，假设 $V_{KA}=5V$ ，阴极电流为 2mA。

$$V_{REF} = V_{NOM} + [(I_{KA} - I_{NOM}) \times Z_{KA}] + [(V_{KA} - V_{NOM}) \times \frac{\Delta V_{REF}}{\Delta V_{KA}}] \quad (1)$$

这实际上是告诉你，对于 TL431，现在是有效的 $V_{REF}=2.4899V$ ，或精度为 0.2%，这不是特别明显的差异。但是通常在高温时，达到其最大值，你会得到 $V_{REF}=2.539V$ 或 1.78%的精度。

参数及参数描述	测试条件	TL431C, TL432C			单位
		最小值	典型值	最大值	
V_{REF} 参考电压	$V_{KA} = V_{REF}, I_{KA} = 10 \text{ mA}$	2440	2455	2550	mV
V_{REF} 全温度范围内的基准引脚电压变化	$V_{KA} = V_{REF}, I_{KA} = 10 \text{ mA}$ SOT23-3 封装以及 TL432 $T_A = 0^\circ\text{C}$ 到 70°C		6	16	mV
	其他所有型号		4	25	
$\Delta V_{REF}/\Delta V_{KA}$ 基准电压变化量与阴极电压变化量之比	$I_{KA} = 10 \text{ mA}$		-1.4	-2.7	mV/V
	$\Delta V_{KA} = 10 \text{ V} - V_{REF}$		-1	-2	mV/V
I_{REF} 参考引脚电流	$I_{KA} = 10 \text{ mA}, R1 = 10 \text{ k}\Omega, R2 = \infty$		2	4	μA
I_{REF} 全温度范围内的基准引脚输入电流变化	$I_{KA} = 10 \text{ mA}, R1 = 10 \text{ k}\Omega, R2 = \infty$ $T_A = 0^\circ\text{C}$ 到 70°C		0.4	1.2	μA
I_{KA} 调节所需的最小电流	$V_{KA} = V_{REF}$		0.4	1	mA
I_{KA} 关断时阴极电流	$V_{KA} = 36 \text{ V}, V_{REF} \pm 1$		0.1	1	μA
$ Z_{KA} $ 动态阻抗	$V_{KA} = V_{REF}, f \leq 1 \text{ kHz}, I_{KA} = 1 \text{ mA}$		0.2	0.5	Ω

表 1: TL431 电气规格。

这对你的系统有什么影响？

在一个模拟电路环境中，整个范围内的电压漂移可能是触发运算放大器的阈值，44.5mV 的最大偏移/6mV 的最小偏移可能意味着调节和待机之间的差异，这可能导致系统故障。但是，当你考虑使用 TL431 作为模拟-数字转换器（ADC）的基准电压源时，这个问题时变得更加严重。最低有效位（LSB）电压是基于转换器位数的精度。假设相同的条件，5V 供电的 8 位 ADC，其 LSB 为 19.53mV，在典型工作过程中应该很不错（如在公式 2 中看到的）。但是在整个温度下工作将会改变，系统可能正在读取错误的的数据或错误地运行。

$$LSB = \frac{5V}{2^8} = 19.53 \text{ mV} \quad (2)$$

那么如何解决精度问题并仍然保持低功耗操作？一种解决方案是使用 [ATL431](#)，它功耗更低的同时精度更高。在相同条件下使用 ATL431 设计与之前一样基准，你将得到一个有效的 $V_{REF}=2.499V$ (0.95mV)，或 0.03%的精度。这样在现实模拟环境中，会有更大的误差空间，但更重要的是，你现在可以使用更高分辨率（12 位）的 ADC（公式 3）：

$$2N = \frac{5V}{0.95 \text{ mV}} = 50263.16 \quad (3)$$

$$N \sim 12 \text{ bits}$$

可以看到，只要在正确方向上做一小的改变就可以得与 TL431 原始设计相媲美的结果。ATL431 作为解决方案之一，它提供了足够低的功耗，同时在精度上也有改进，关键是没有牺牲其他性能。最后我们看到，即便妥协，也有可能获得二全齐美的结果。

第 2 章：基准电压源的应用

1.基准电压如何影响 ADC 性能：ADC 的基本操作

By Bonnie Baker and Miro Oljaca

当在设计混合信号系统时，许多设计人员更喜欢对每个元件进行分别检查和优化。这其实是一种目光短浅的方法，如果是想在一天之内就完成一个可行的设计方案的话，此方法还勉强可行。考虑到系统中不同单元的配置，设计人员必须全面了解，不单单只是各个单独的元件，还要知道它们对整体

系统性能的影响。

当设计一个模数转换器（ADC）时，关键是要了解这种器件与基准电压源和基准缓冲器的相互作用。正如许多设计者一样，本系列的第 1 部分独立地分析 ADC 的基本操作原理，然后再分析其性能特性（影响准确性和重复性的系统特性）。第 2 部分深入研究基准电压器件，再次探讨了其基本操作原理及其细节对 ADC 性能的影响。第 3 部分涉及到基准电压缓冲器，以及连接在后面的电容，以及如何确保放大器稳定。我们会将理论假设的结果与实测结果进行比较并简要分析驱动放大器、基准电压源、转换器之间的相互影响，随后研究了 ADC 转换结果中的误差来源。

ADC 的基本原理

图 1 显示了用于逐次逼近型（SAR）ADC 的基准电压系统，我们将在分成三部分来研究。顾名思义，ADC 是将模拟电压转换为一个数字（代）码。整体系统精度和测量的可重复性取决于转换器如何有效地执行这个过程。

可以使用静态规格参数来定义转换的精度，而用动态规格参数和定义测量的可重复性。通常，ADC 静态参数是电压失调误差，增益误差和转换噪声。ADC 的动态参数是信噪比（SNR），总谐波失真（THD）和无杂散动态范围（SFDR）。

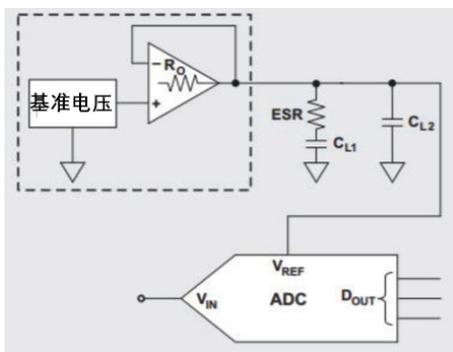


图 1: SAR ADC 的基准电压系统

静态性能

图 2 显示了理想和实际（或非理想）一个 3 位 ADC 的功能。实际的传递函数中存在一个电压失调误差和增益误差。在示例的电路中，我们只考虑 ADC 增益误差，转换噪声和 SNR。

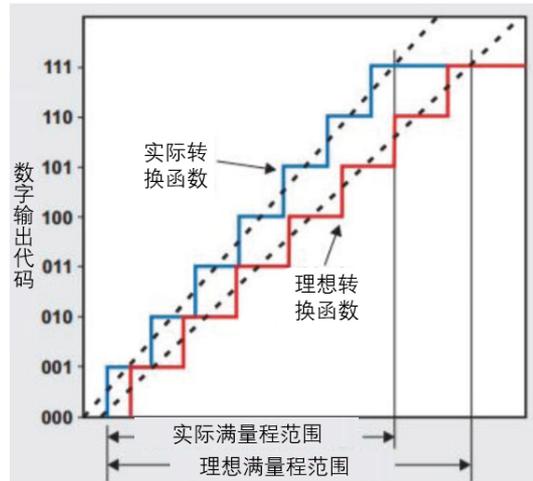


图 2: 具有失调和增益误差的理想和实际 ADC 转换函数。

公式 1 描述了理想的（无误差）ADC 的典型传递函数：

$$Code = V_{IN} \times \frac{2^n}{V_{REF}} \quad (1)$$

其中 Code 是十进制形式的 ADC 输出代码，V_{IN} 是模拟输入电压（单位:V），n 是 ADC 的分辨率（或输出码位的位数），V_{REF} 是模拟值电压参考（单位:V）。

公式 2 显示 ADC 输出代码是直接与模拟输入电压成正比，且与基准电压成反比。公式 2 也表明了这一点输出代码取决于位数（转换器分辨率）。

非理想 ADC 的直流误差是电压失调误差和增益误差。将失调误差引入传递函数，并重写公式 1 得到公式 2：

$$Code = (V_{IN} - V_{OS_ADC}) \times \frac{2^n}{V_{REF}} \quad (2)$$

其中 V_{OS_ADC} 是 ADC 的输入失调电压。增益误差等于从 0 到满刻度的理想斜率和实际斜率之差。增益误差可以是小数或百分比。如果你只考虑增益误差（无失调误差）对 ADC 的影响，可以将公式 1 重写得到公式 3：

$$Code = V_{IN} \times \frac{2^n}{V_{REF} (1 - GE_{ADC})} \quad (3)$$

在这里增益误差 GE_{ADC}，可以表示为：

$$GE_{ADC} = \frac{\text{实际增益} - \text{理想增益}}{\text{实际增益}}$$

从公式 3 可以看出增益误差因子添加到了 V_{REF} 的初始精度。输出代码是反向正比于基准电压加上增益误差。基准电压芯片产生的噪声引起的直流误

差会对 ADC 的增益精度产生反向影响。本系列的第 2 部分将专门说明介绍基准电压源误差的影响。

等式 2 和 3 合并得到最终传递函数如等式 4 所示：

$$Code = (V_{IN} - V_{OS_ADC}) \times \frac{2^n}{V_{REF} (1 - GE_{ADC})} \quad (4)$$

要分析 ADC 转换噪声，可以检查 ADC 的转换曲线中的代码转换点。这些是在模拟输入电压改变时，数字输出从一个代码切换到下一个的位置。从代码到代码的转换点不是单一的阈值，而是一个不确定的小区间。

图 3 显示了转换的不确定性是由内部转换器噪声造成。该不确定区间是通过从一个代码到另一个代码转换的重复性测试来确定。ADC 的转换噪声对转换器的信噪比(SNR)有直接影响。重要的是要理解这种现象，这个系列的第 2 部分会更加关注基准电压源的噪声特性。

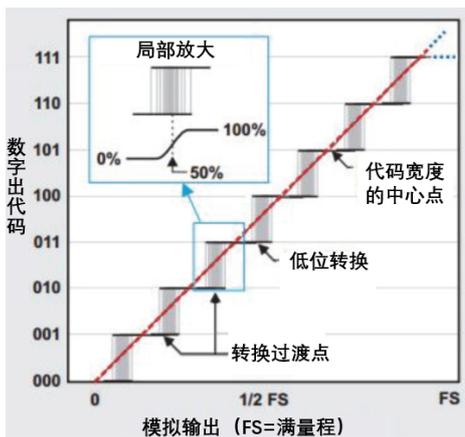


图 3: 3 位 ADC 的转换噪声。

动态性能

图 1 中电路总的系统噪声为固有 ADC 噪声和来自模拟输入缓冲电路和参考输入电压噪声的总和。图 4 显示了一个 SAR ADC 的简化内部电路。为了确定 ADC 的动态性能，我们可以利用 ADC 输出数据的快速傅里叶变换 (FFT) 图，这是通过一定周期采样 ADC 输出得到的 FFT 图。FFT 曲线提供了 SNR，本底噪声水平和 SFDR 信息。

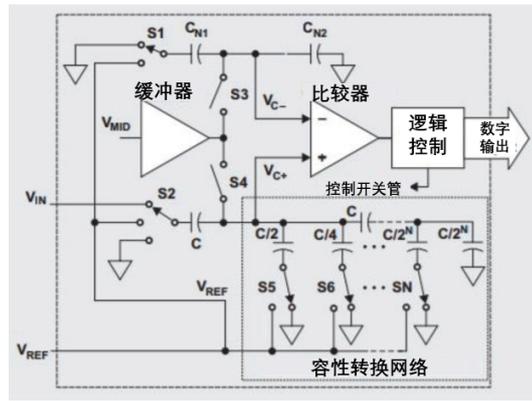


图 4: SAR ADC 的简化电路图。

在示例电路中，我们只对 SNR 规格有兴趣。图 5 提供了这些规格的 FFT 图。一个用于确定 ADC 电路中噪声有用的方法是：检查图 5 中的 SNR，SNR 是信号功率均方根值 (RMS) 对噪声功率均方根值 (RMS) 的比例。FFT 计算的 SNR 是几个噪声源的组合，其中可能包括 ADC 量化误差和 ADC 内部噪声。从外部看来，基准电压源和参考驱动放大器也作为整体系统噪音。SNR 的理论极限是等于 $6.02n + 1.76\text{dB}$ ，其中 n 是 ADC 位数（比特数）。

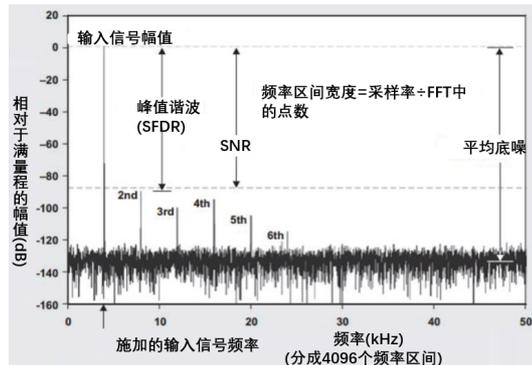


图 5: 来自 16 位转换器的 8192 个数据样本的 FFT 图。

THD 量化了系统中的失真度。THD 是谐波分量功率的（尖峰）平方和根 (RSS) 与输入信号功率之比。例如，在图 5 中，谐波分量被标记“2nd”到“6th”。RSS 计算也被称为几个值的平方和的平方根。尖峰毛刺由于 ADC 的非线性导致出现在输入信号频率的倍数（基频频率）上。绝大多数制造商使用前 6 到 9 次谐波分量来进行 THD 计算。

如果 ADC 在 FFT 图中产生尖峰毛刺，则可能是转换器有一些积分非线性误差。此外，毛刺可以通过信号源或来自输入信号来自参考驱动放大器。如果驱动放大器是罪魁祸首，放大器可能会出现交越失真，或者可能是临界稳定，压摆率受限，带宽受限或无法驱动 ADC。

来自电路中其他地方的注入噪声,如数字时钟源或市电的频率也可以产生 FFT 结果中的毛刺。SNR 和 THD 的组合可以确定器件的信号噪声和失真(SINAD: 信纳比)。许多设计者将 SINAD 称为“THD”加噪声“或”总失真“。SINAD 是的 SNR 和 THD 进行 RSS (均方根) 计算得到的; 也就是说,它是低于一半的采样频率下(不包括直流),基波输入信号的均方根值与所有其他频谱分量的均方根值之和。而 SAR ADC 转换器的 SINAD 理论最小值等于理想的 SNR,即 $6.02n+1.76\text{dB}$,即 SINAD 计算公式为:

$$\text{SINAD}(\text{dB}) = -20 \log \sqrt{10^{-\text{SNR}/10} + 10^{\text{THD}/10}} \quad (5)$$

SINAD 是一个重要的品质因素,它用一个简单的计算公式用来计算 ADC 的有效位数(ENOB)(公式 6):

$$\text{ENOB} = \frac{\text{SINAD} - 1.76 \text{dB}}{6.02} \quad (6)$$

在转换器数据的 FFT 图中,平均本底噪声(见图 5)是在 FFT 图内所有 bin(区间)的 RSS 组合,但不包括输入信号和信号谐波。可以选择样本数量与 ADC 位数,以便使本底噪声低于任何我们感兴趣的毛刺谐波信号。有了这些考虑,理论平均 FFT 本底噪声(以分贝为单位)为:

$$\text{FFT Noise Floor} = 6.02n + 10 \log \left(\frac{3M}{\pi \times \text{ENBW}} \right)$$

其中 M 是 FFT 数据点数量,ENBW 是 FFT 窗函数的等效噪声带宽。对于 12 位 ADC,FFT 的合理采样点个数为 4096,这将产生 -107dB 的理论本底噪声。

结论

对于图 1 的应用电路,ADC 的增益误差,转换噪声和 SNR 参数会产生影响。本系列的第 2 部分将研究基准电压的直流精度和噪声对系统性能的影响。

2.基准电压源如何影响 ADC 性能: SAR ADC 基准电压系统的设计和性能

By Miro Oljaca and Bonnie Baker

由于我们已经研究了一个模数转换器(ADC)基本的操作原理(没有考虑基准电压),分析了性能特点对系统精度和测量可重复性的影响,现在我们来重点关注用于逐次逼近寄存器(SAR)ADC 基准电压源的设计和性能系统。这也将通过一个实例来基准电压源设计

演示如何设计一个用于 8 至 14 位 ADC 的外部基准电压源。

选择正确的 V_{REF} 拓扑

基准电压可以选择两端子并联或是三端子串联结构。图 1 的左侧显示为一个两端并联基准电压源,其中整个 IC 集成到了并联基准中与负载并联工作。采用并联基准电压源,输入电压通过电阻连接到器件阴极。这种器件的典型初始电压精度可以从 0.5%到 5%,而温度系数约为 50 至 $100\mu\text{V}/^\circ\text{C}$ 。并联基准电压源可以用来构建正向,负向,浮地基准电压源。

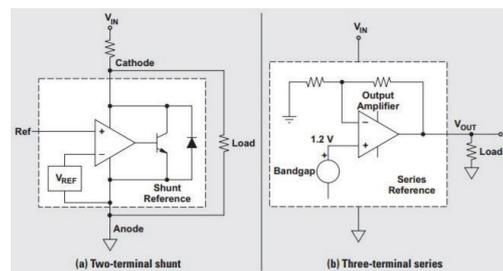


图 1: 基准电压配置。

三端子串联基准电压源(图 1 右侧所示)与负载串联一起工作。由内部带隙电压与内部放大器一起产生输出基准电压。串联基准电压在输出和地之间产生电压,同时向外部提供负载电流。随着负载电流的增加或减少,该基准电压始终保持在 V_{OUT} 。

串联基准电压源器件的典型初始电压精度可以从 0.05%到 0.5%,而温度系数低至 $2.5\text{ppm}/^\circ\text{C}$ 。因为串联基准优越的初始电压精度和整体的温度性能,可以利用这种类型的器件来驱动精密 ADC 的基准引脚。超过 8 或 14 分辨率的 ADC,其最低有效位(LSB)的精度为分别为 0.4%和 0.006%,一个外部串联基准电压可以确保实现预期的转换精度。

串联基准电压的另一个常见应用是在传感器调节中。特别的,一个串联基准电压是在桥式传感器应用之中,这些应用中存在热电偶,热电堆和 pH 传感器。

ADC 中串联基准电压的初始精度为 AD 转换过程中提供了基准电压。输出电压的任何初始不准确度都可以用硬件或软件进行校准。此外,温度系数,线调整率,负载调整率或长期漂移等都会导致基准电压源的输出精度变化。串联基准电压在这些参数中都能提供更好的性能。

了解基准电压源的噪声

从本系列的第 1 部分知道 ADC 只有一个功能:将输入电压与参考值进行比较电压,或基于输入信

号和基准电压创建输出代码。第 1 部分给出了一些图表和公式来描述 ADC 器件的基本传递函数，以及其噪声特性。公式 1 为如图 2 所示理想 ADC 的典型传递函数：

$$Code = V_{IN} \times \frac{2^n}{V_{REF}} \quad (1)$$

其中 Code 是十进制形式的 ADC 输出代码， V_{IN} 是 ADC 的模拟输入电压，n 是 ADC 的位数 (bits)， V_{REF} 是基准电压的模拟值(量)。

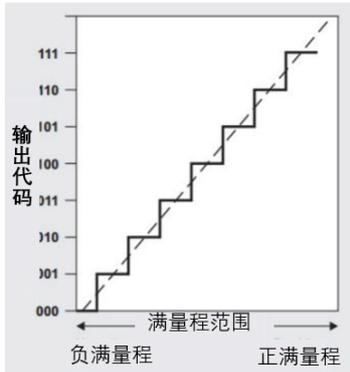


图 2: 理想的 3 位 ADC 传输函数。

公式 1 表明，基准电压源中的任何初始误差或噪声都可以通过转换为增益误差体现在 ADC 输出代码中。从 ADC 的负向满量程输入到正向满量程程度输入测试几个点，可以很清楚地看到基准电压的噪声是 ADC 输入电压的函数。要评估电压基准噪声以及整体噪音，有必要接近负向满量程和正向满量程测量噪音。

图 3 显示了测量基准源噪声的结果和系统中的 ADC 噪声。整体噪音不是恒定的但线性依赖于 ADC 的模拟输入电压。设计这种类型的系统时，请务必保持基准电压源的噪声要低于 ADC 的内部噪声。图 1 中二种拓扑产生的噪声大小，在整个频率范围内是差不多的。串联基准电压中的电压噪声主要来自带隙和输出放大器。这两个分量都在 1/f 区以及宽带区产生噪声（见图 3）。

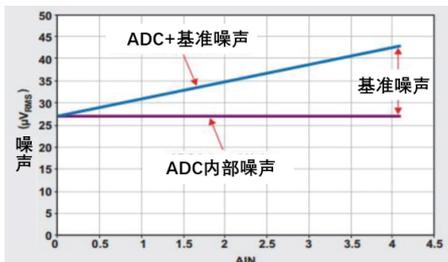


图 3: ADC 输出端的总噪声与 ADC 输入电压的关系。

基准电压源的 1/f 噪声

在绝大多数串联基准电压源规格书中，规格定义输出电压噪声的频率范围为 0.1 至 10Hz，即包含图 4 中的 1/f 区域。在更高的频率范围内，宽带噪声取代了 1/f 区域中的噪声，通常称为“粉红噪声”。

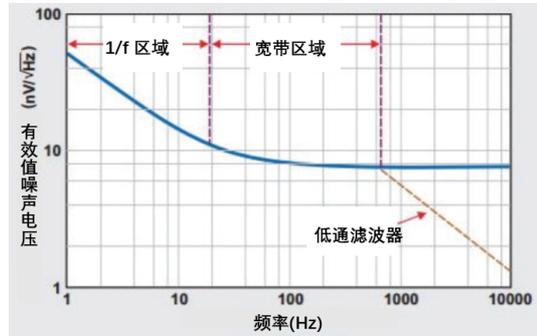


图 4: 频域中的电压噪声区域。

基准电压源的宽带噪声

一些制造商提供了基准电压源的输出噪声密度规格。这种规格是通常用于宽带区域的噪声，比如在 10KHz 的噪声密度。宽带噪声是存在于更高的频率区间，也被称为“白噪声”或“热噪声”。

在基准电压源输出端，增加了一个低通滤波器频率会降低输出端的宽频带噪声。这个滤波器是由电容器，以及电容等效串联电阻 (ESR) 和输出放大器的开环输出阻抗构成（见图 5）。

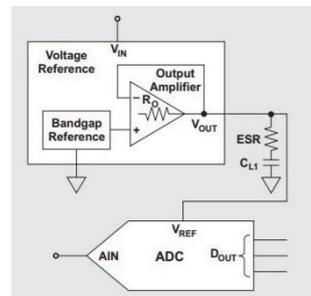


图 5: 串联基准电压源和 ADC 之间的低通滤波器。

表 1 给出了 TI 的 REF5040 测量的噪声结果，这是在不同的频率带宽以及接不同的外部电容（值和类型）下的比较。这些测量表明约 0.1Ω 的低 ESR 的陶瓷电容，与钽电容 ESR 约为 1.5Ω 相比，噪声有增加的倾向。这种趋势是由输出放大器的稳定性问题以及增益峰值造成的。

电容	不同带宽下的测试噪声 (μV_{RMS})			
	22 kHz (低通滤波- 3-极点)	30 kHz (低通滤波- 6-极点)	80 kHz (低通滤波- 3-极点)	>500 kHz
地	0.8	1	1.8	4.9
1 μF (钽电容)	37.8	41.7	53.7	9017
2.2 μF (瓷片电容)	41.7	46.2	55.1	60.8
10 μF (钽电容)	33.4	33.4	35.2	38.5
10 μF (瓷片电容)	37.1	37.2	37.8	39.1
20 μF (瓷片电容)	33.1	33.1	33.2	34.5
47 μF (钽电容)	23.2	23.8	24.1	26.5

表 1: REF5040 在不同带宽下的测量噪声 (采用不同的电容值和电容类型)

正如我们前面提到的, 基准源中的两个噪音源是内部输出放大器和带隙基准源。图 6 中 REF5040 的内部原理图显示 TRIM 引脚是直接接到带隙基准源。在 TRIM 引脚增加一个外部电容就建立了一个低通滤波器, 可以提供近似的-21dB 带隙基准源的宽带衰减。例如, 一个小的 $1\mu\text{F}$ 电容就会增加在 14.5Hz 处增加一个极点, 在 160Hz 增加一个零点。如果你需要更多的衰减, 还可以使用一个较大值的电容来代替 $1\mu\text{F}$ 电容。如, 一个 $10\mu\text{F}$ 电容的转折频率为 1.45Hz。这个低通滤波器会降低带隙噪声。将 $1\mu\text{F}$ 电容连接到 TRIM 引脚, REF5040 总输出均方根 (RMS) 噪声会降低 2.5 倍。

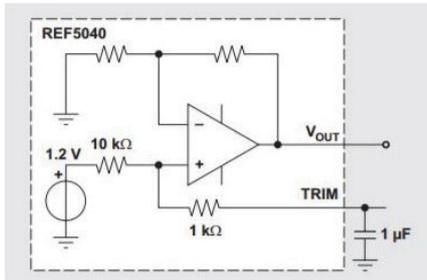


图 6: 使用 TRIM 引脚过滤掉 REF5040 带隙噪声。

结论

图 7 显示了一个完整的电路图, 它可以用于一个 8 到 14 位转换器。基准电压源的精度在这个系统中是很重要的; 然而, 你也可以用硬件或者软件校准任何初始不准确性。另一方面, 消除或减少基准噪声仍然需要一定程度的表征和硬件滤波技术。

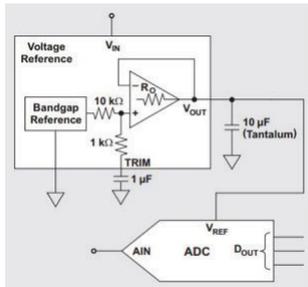


图 7: 8 位至 14 位转换器的基准电压电路。

3. 基准电压源如何影响 ADC 性能: 为 16 位 ADC 转换器设计基准电压源

By Bonnie Baker and Miro Oljaca

现在是时候来挑战一下适用于 16 位以上的转换器基准电压设计了。我们还将继续研究优化滤波器噪声, 以及相应的补偿方式。

降低基准电压噪声的基础知识

正如本系列的第 2 部分所讨论的那样, 这两种噪音来源是内部输出放大器和带隙基准。仍以第 2 部分所述的基准电压源来配置 8 至 14 位 ADC 作为起点继续讨论。

任何转换器的最低有效位 (LSB) 的大小在 5V 系统中等于 $5\text{V}/2^N$, 其中 N 是转换器位数。此电路中 8 位 LSB 大小为 19.5mV , 14 位 LSB 大小为 $305\mu\text{V}$ 。基准电压噪声的目标值应小于这些 LSB 值。在输出端加一个外部电容构建得到一个低通滤波器, 从而减少了电路的带隙噪声。再增加另一个电容作为无源低通滤波器可以进一步降低该电路的输出噪声。

图 1 显示了 TI REF5025 基准电压系列的参考设计。在这个设计中, $1\mu\text{F}$ 电容 C1, 在内部带隙基准处, 可以提供至少 21dB 的噪声衰减。电容 C2, 与内部放大器开环输出电阻 R_O 一起, 在 $V_{\text{REF_OUT}}$ 引脚进一步降低了基准电压的输出噪声。在这里, $10\mu\text{F}$ 的陶瓷电容 C2 等效串联电阻 (ESR) 为 $200\text{m}\Omega$ 。

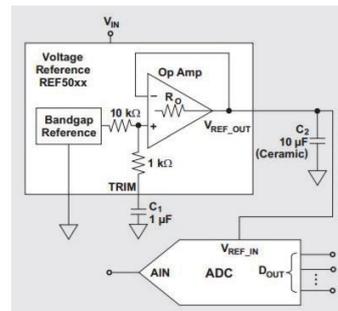


图 1: 适用于 8 位至 14 位 ADC 的基准电压源。

图 2 显示了图 1 电路输出信号的快速傅里叶变换 (FFT) 图。可以看到, 输出噪声电平在 9kHz 左右达到峰值, 这是因内部放大器是接到容性负载 C2 上面产生的。这个峰值也是所测噪声主要的贡献者。

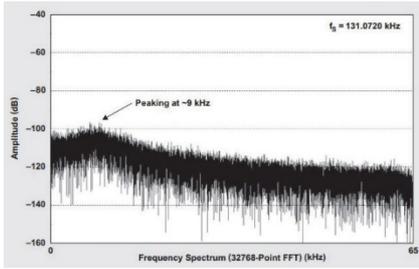


图 2: 图 1 所示电路的 V_{REF_OUT} 信号的 FFT 图。

输出噪声, 通过频率高达 80kHz 的模拟表进行测量, 其值约为 $16.5\mu V_{RMS}$ 。如果将基准电压连接到输入端 ADC, 65kHz 频率范围内测得的噪声为 $138\mu V_{PP}$ 。这个噪音水平结果使得图 1 电路可以做为 8 至 14 位转换器的基准电压源。

降低 16 位以上 ADC 的基准电压噪声

由于图 1 中的基准电压电路会引入过多的噪声到 16 位以上的转换器中, 所以增加另一个低通滤波器可以进一步降低基准电压源的输出噪声。该滤波器由一个电阻 R_1 ($10k\Omega$) 和一个电容 C_3 ($10\mu F$), 如图 3 所示。这个新增的 RC 滤波器, 其转折频率为 1.59Hz, 这会减少宽频带噪声以及极低频率的噪声。

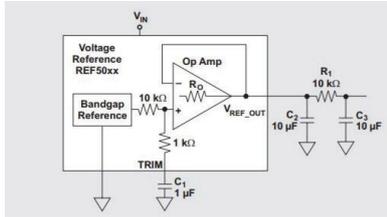


图 3: R_1 和 C_3 作为低通滤波器增加到基准电压源电路中。

图 4 可以看到, R_1 和 C_3 的增加对该系统的输出噪声有着显著性的影响, 9kHz 的噪音尖峰消失了。图 3 中的基准电路的输出噪声变为 $2.2\mu V_{RMS}$ 或 $15\mu V_{PP}$, 这减少近 90%。这种改进带来了噪声水平如此之好, 以至可以用于高达 20 位的 ADC 电路中。

虽然结果看起来很诱人, 但是 R_1 需要抽取电流, 会在其上产生电压降, 这会 ADC 参考引脚上的电压大小, 有可能造成转换错误。因此, 这个新电路的输出将无法充分驱动 ADC 的输入基准电压引脚。要实现这一点, 需要在低通滤波器后增加一级缓冲器。

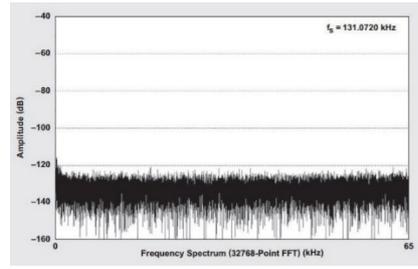


图 4: 增加了 RC 滤波器后电路的 V_{REF_OUT} 信号 FFT 图。

给基准电压电路增加一个缓冲器

图 5 为一个 ADC 在转换过程中的基准驱动电流的波动情况。该信号是用低电容探头, 在 ADC 基准电压引脚和 V_{REF_OUT} 引脚通过 $10k\Omega$ 电阻 R_1 测量得到。图 5 中上方的即为 ADC 转换的触发信号, 当 ADC 接收到一个触发信号时, 即为启动新的转换。对于转换开始和每个输出代码比较, ADC 的电压基准电路需要不同大小的电流 (如下方的曲线所示)。因此, 连接到 ADC 的基准电压必须能够有效地适应这些高频波动, 同时保持极强的稳定性。

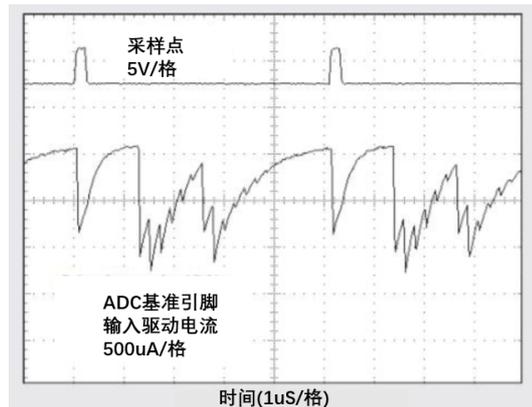


图 5: ADC 基准参考输入所需的驱动电流

图 6 为一个能够完全驱动高分辨率 ADC 的基准电压源。在这个电路中, TI 的 [OPA350](#) 是在低通滤波器 (R_1 和 C_3) 之后作为缓冲器加到了图 3 中的电路中。OPA350 驱动的是一个 $10\mu F$ 滤波电容 C_4 和 ADC 的参考输入引脚。图 6 在 OPA350 输出端测得的噪声, 其值为 $4.5\mu V_{RMS}$ 或 $42\mu V_{PP}$ 。OPA350 输入偏置电流在 $25^\circ C$ 时为 $10pA$ 。这个偏置电流流经 R_1 , 会得到一个固定的 $100nV$ 压降。这个电压降不随 ADC 的位数变化而改变。的确, OPA350 的输入偏置电流也会随着温度变化, 但是可以到看其最大电流在 $125^\circ C$ 时仍不超过 $10nA$ 。这样在整个 $100^\circ C$ 的温度范围内变化为 $100\mu V$ 。

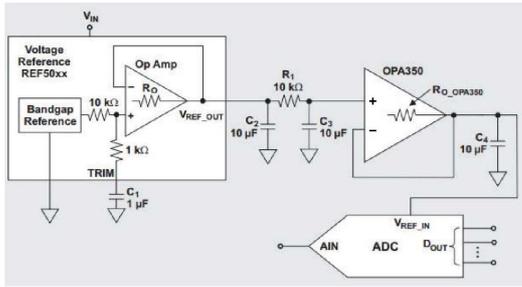


图 6: 带有附加缓冲器和输出滤波器的基准电压电路。

让我们来仔细看看 R1 上的压降。这个压降会添加到 REF5025 和 OPA350 引发的误差中。REF5025 输出的初始误差为±0.05%，全温度范围内温漂为 3ppm/°C。使用 4.096V (REF5040) 基准电压时，初始基准误差在室温下等于 2.05mV，而在 125°C 时会再增加 1.23mV。因此，基准电压输出误差是远大于由 R1 和 OPA350 的失调和输入偏置电流变化产生的误差。

放大器稳定性

最后来看一下图 6 中的电路。如果 C4 和 OPA350 的开环输出电阻 (RO_OPA350) 改变了开环电压增益 (AOL) 曲线的话，这样会造成系统临界稳定，OPA350 的稳定性可能会受到影响，为了说明这种现象，如图 7 所示输出电容 C4，其 ESR 为 0.2Ω，而 OPA350 的开环输出电阻 (为 43Ω)，它们是如何改变了 OPA350 的 AOL 曲线的。可以使用这些曲线很快地判断电路的稳定性。

一个电路具有良好稳定性，其运算放大器变化后的 AOL 曲线和闭环电压增益 (ACL) 曲线的闭合速度应为 20dB/十倍频程。该 OPA350 的开环输出电阻为 43Ω，C4 (RESR_C4) 的 ESR 为 200mΩ。对应的极点和零点位置为：

$$f_{\text{pole}} = \frac{1}{2 \times \pi \times (R_{O_OPA350} + R_{\text{ESR_C4}}) \times C_4} = 368 \text{ Hz}$$

$$f_{\text{zero}} = \frac{1}{2 \times \pi \times R_{\text{ESR_C4}} \times C_4} = 79.6 \text{ kHz.}$$

根据图 7 的频率响应曲线可知，图 6 中的电路是稳定的。

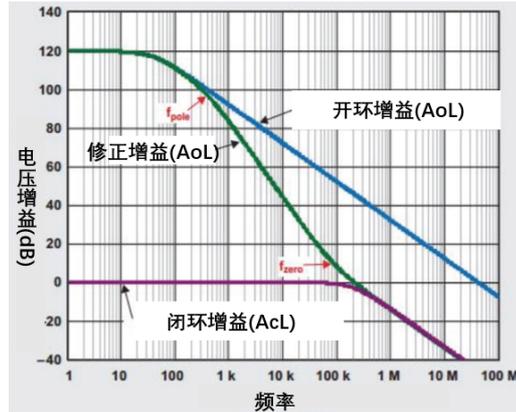


图7: 具有RC负载缓冲器的频率响应。

不幸的是，这篇文章中的基准电压设计由于温漂和初始增益误差，从而降低了ADC的性能。所以，对于具有更高性能的21+位ADC系统基准电压源设计，可能需要重点处理这些问题。

4. SAR ADC PCB 布局：电压参考信号布局

By Luis Chioye

在设计高性能数据采集系统时，你可能要仔细选择一个精确的模拟-数字转换器 (ADC) 和其他器件模拟前端调节电路。花了几个星期的设计，进行仿真模拟和电路优化后，你会很快进行电路板布局，以应对紧张的项目周期。一周后，第一块原型电路板拿到了并进行测试，然而，令你感到惊讶的是，电路并没有按预期工作。

这种情形曾经发生在你身上吗？

PCB布局是对于实现预期的ADC性能至关重要。在设计混合信号电路时，应该开始从接地设计开始，通过PCB器件布局的和信号走线优化，将设计计划分为模拟，数字和功率部分。

参考路径是ADC布局中最关键的，这是因为所有转换都是基准电压的函数。在传统逐次逼近(SAR) ADC架构中，参考路径也是最敏感的，因为基准引脚上呈现出为一个动态负载。

由于基准电压在每次转换期间被多次采样，高电流瞬变会出现在这个端子上，其中ADC内部电容器阵列在输出位发生改变时进行开关和充电。基准电压在每个转换时钟周期内必须保持稳定，并且稳定为所需的N位分辨率，否则的话会出现线性误差和丢码错误。

图1显示典型的12位SAR ADC基准端子上的转换阶段期间的电流瞬变。

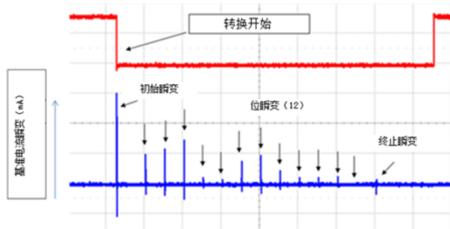


图1: 12位SAR ADC基准引脚上的电流瞬变。

由于这些动态电流, 需要使用高品质旁路电容 (CREF)对基准引脚进行去耦。此旁路电容用作为一个电荷存储器, 可以在高频瞬变电流期间提供瞬时充电电流。应该将基准旁路电容放置在尽量靠近基准引脚的位置上, 连线尽可能短并使得连线保持低电感。

图2显示了 [ADS7851](#) 的电路板布局示例, 它是一个具有两个独立内部基准电压的14位双通道ADC布局图。

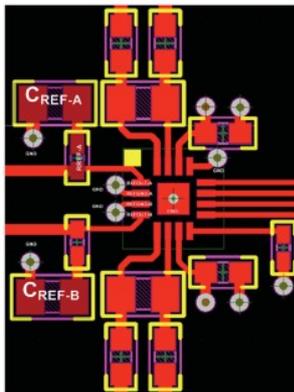


图2. 具有两个独立内部电压基准的双ADC布局示例图。

在这个四层PCB电路板示例中, 设计人员在器件正下方使用了可靠的接地平面, 并将电路区域划分为模拟和数字部分, 这样让敏感输入信号和基准信号远离噪声源。采用的是10 μ F, X7R级, 0805尺寸的陶瓷电容器 (C_{REF-x}) 来旁路REFOUT-A和REFOUT-B基准输出。为了以实现最优性能, 并且将他们连接至使用0.1 Ω 串联电阻上, 以保持总体阻抗在高频时较低且恒定, 同时采用宽的走线来减少引线电感。

强烈建议把CREF与ADC放在同一PCB层上, 还应该避免在基准引脚和旁路电容之间放置任何过孔。ADS7851的每一个基准接地引脚都应有单独过孔接地, 而每个旁路电容到接地的连接是低引线电感连接形式。

如果使用的是需要外部基准源的ADC, 应该尽

量减少参考信号路径中的引线电感, 这包括从基准源缓冲器输出到旁路电容, 再到ADC的基准输入。

图3显示了一个18位 [ADS8881](#) SAR ADC的布局示例, 它使用外部基准和缓冲器。通过将退耦电容放置在引脚的0.1英寸范围以内, 并且将其与宽度为20mil的PCB走线和多个15mil大小的接地过孔相连, 这样可以保持基准电容和REF引脚之间的电感保持小于2nH。建议仅使用一个10 μ F, X7R级, 0805尺寸陶瓷电容, 额定电压至少要10V。

基准缓冲器电路到REF引脚的走线长度要尽可能的短, 以确保快速稳定响应。

REF引脚合适的去耦对于实现最优性能极为关键。此外, 在参考路径中保持低电感连接会使得基准驱动电路在转换期间保持稳定, 会使你向获得所需的效果又走进了一步。

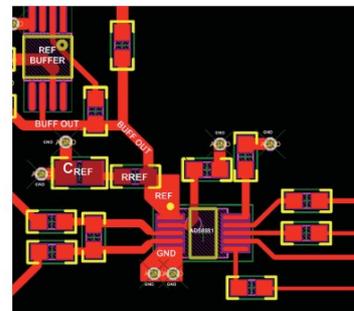


图3. 具有外部基准和缓冲器的ADC的布局示例图。

如果想更深入了解, 可以参考ADS8881和ADS7851数据手册中的PCB布局指南部分。

5.为 ADC 设计基准电压源

By Peggy Liska

高精度数据采集系统的设计必须要最大限度地减少来自系统中各组件的误差, 如由数据转换器的基准输入上的引入的开关瞬变。在逐次逼近SAR ADC中, 其内部电路是接通和断开不同的电容负载, 这在整个转换周期内会导致开关瞬变。其他数据转换器, 如delta-sigma ADC和数字-模拟转换器 (DAC) 也会在基准引脚上产生开关瞬变。

图1显示了SAR ADC的简化构架。在操作过程中, ADC内部的开关S1和S2控制采集和转换周期。当S1闭合并且S2打开时, 由于阻抗改变, 输入会产生瞬变。有专门的详细技术资源, 将讨论如何优化输入电路以最大限度地减少输入瞬态的影响, 例如: 单端多路复用的16位IMSPS数据采集参考设计。但在这里, 我们聚焦在基准输入引脚 (V_{REF}) 上的瞬

变，因为这些瞬变及其效果对系统性能的影响往往在系统级设计中被忽视。

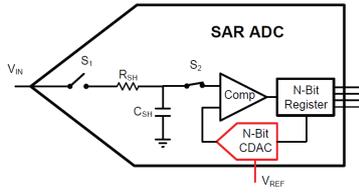


图1: 简化的SAR ADC内部架构。

SAR ADC的 V_{REF} 引脚内部是连接到一个电容DAC (CDAC)，在图1中以红色高亮显示。图2提供了简化CDAC构架更详细的结构。CDAC是一个二进制加权电容器阵列，它用来确定与基准电压相比最匹配输入电压的数字量。关键点是基准输入引脚连接到二进制加权电容阵列，这可能会导致在转换周期内施加到 V_{REF} 引脚的基准电压发生变化。阵列中的电容不会与基准源处于同一电位，因此将电容连接到外部基准电压时会出现大的浪涌尖峰电流。

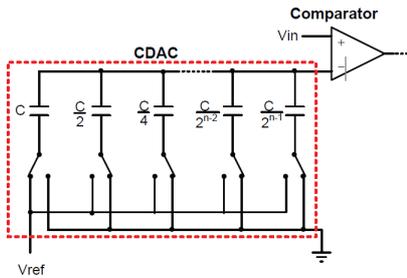


图2: CDAC内部架构-开关电容阵列。

图3显示了在整个转换周期中基准输入电流的尖峰，可能达到10mA级别，但持续时间很短（纳秒级）。

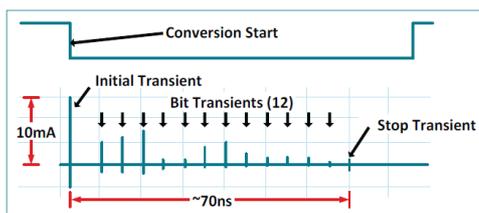


图3: SAR ADC的 V_{REF} 引脚上瞬态切换信号。

为了获得最佳的精度，将基准电压连接到SAR输入需要响应大而快的电流尖峰。这些快速开关电流瞬变会导致电压降（因为基准电压源的高输出阻抗）。这个电压降直接影响到基准输出电压，以及到ADC引脚 V_{REF} 输入电压，这么导致ADC转换误差。

为了减少开关瞬变引入的误差，基准电压应在二个电流尖峰之间重新设定为期望的输出电压。假设负载非常小并且变化缓慢，单独的基准电压源可提供一个非常准确和稳定的电压。但是由于这些电

流尖峰持续时间很短，但是幅值很大，参考经常通过一个高速运算放大器缓冲（见图4）。此外，在引脚处放置一个电容可以提供瞬时所需要的电流。

虽然高速运算放大器瞬态响应的角度下看来很不错，但它们一般对直流精度没有优化，如失调电压，线性度和温漂等。因此，很难找到既符合直流精度的，同时也具有良好瞬态响应的缓冲器。在一些情况下，包含两个放大器的放大器拓扑可能会实现这一挑战性目标。前面提到的数据采集基准设计指南详细地解释了这一种拓扑，并涵盖了基准电压，缓冲放大器和相关滤波器组件的选择。

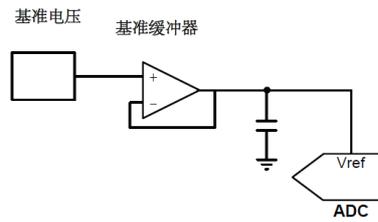


图4: 使用高速放大器的基准电压电路。

为了简化所需的系统级设计的工作量，必须最大程度地减少开关瞬变对基准引脚的影响，TI的REF6000基准电压系列集成了基准缓冲器。图5所示这种集成在一个简化的数据采集系统中。优化的内部缓冲器能够对很好地对数据转换器基准引脚上产生的瞬变进行响应。同时也针对DC性能进行了优化。集成基准电压和基准缓冲器的设计同时也减少了电路板面积。

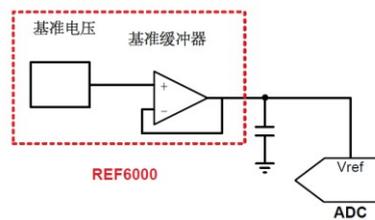


图5: 使用集成缓冲器的高精度基准电压电路。

对于 V_{REF} 引脚输入言，采用这种集成方法，ADC输入 V_{REF} 引脚的性能得到优化，如高带宽，低输出阻抗，直流优化特性。

表1比较了理想ADC和基于不同基准电压电路的ADC噪声和失真性能。你可以看到没有基准缓冲器的话性能会下降。比较集成基准缓冲器到外部缓冲器的结果，可以看到集成缓冲器基准的性能最佳。

参数配置	理想的ADC(基准电压不发生波动)	REF6045 集成缓冲器	REF5045 外部缓冲器	REF5045 无缓冲器
基准引脚平均电压 (V)	4.5	4.501	4.502	4.502
V _{REF} 峰值变化电压 (μV)	0	76.8	153.6	472.5
信噪比 (SNR) (dB)	109.7	109.8	109.6	109.7
总谐波失真 (THD) (dB)	-133.4	-123.7	-118.8	-92.5
无杂散动态范围 (SFDR) (dB)	128	124.5	119	92.5
信纳比(SINAD) (dB)	109.7	109.6	109.2	92.4
基准电路静态电流 (mA)	N/A	0.8	1.925	1

表1: 一个18位的ADC, 在以1MSPS和10kHz输入频率进行采样时, 采用各种缓冲器的性能比较。

第3章: 使用基准电压作为灵活的低漂移直流基准电压或电流源

1. 双基准电压源

By Ying Zhou

开发一个低漂移系统是很困难的, 特别是当使用双极性输入信号时更是如此。如图1中显示的双向电流检测的应用中, 需要使用两个匹配很好的低漂移基准电压源。其中第一个基准电压V_{REF}定义ADC的满量程范围, 还需要另一个偏置电压, V_{BIAS}, 来对双极性信号进行电平转换, 需要使V_{BIAS}=V_{REF}/2。这样的话, ADC的正负摆幅相等。本系列将讨论生成两个基准电压的三种拓扑结构。

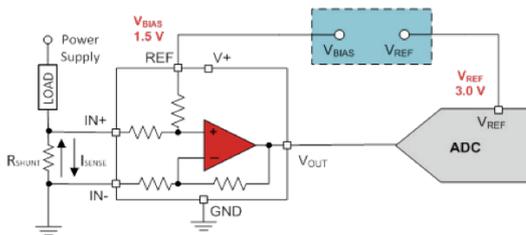


图1: 低漂移双向单电源低端电流检测系统。

如图2所示, 使用两个单独的基准电压是一个简单直接的方法。

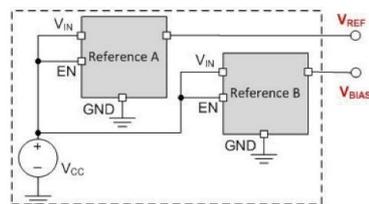


图2: 解决方案1: 采用两个单独的基准源。

对于图1中的应用, V_{REF}和V_{BIAS}是3.0V和1.5V。表1列出了几对低漂移基准型号。考虑到漂移, 精度和成本, 针对3V基准电压时, REF5030A是一个很好的选择。不幸的是, 低漂移、固定的1.5V参考却不容易获得。在这种情况下, 你可以选择一个1.25V

基准电压源设计

的基准, 如LM4140B, 但是其会使ADC正负压摆范围不平衡(一致)。

电压(V)	基准电压源	漂移(典型值), ppm/°C	漂移(最大值), ppm/°C	初始精度(%)
3	REF5030	2.25	3	0.05
	REF5030A	3	8	0.1
1.25	LM4140A-1.25	-	3	0.1
	LM4140B-1.25	-	6	0.1

表1: 低漂移基准电压漂移和精度比较。

如果使用分压器给出3V基准电压, 则可以采用第二种解决方案, 如图3所示。

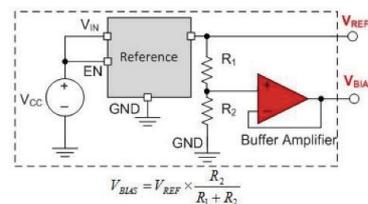


图3: 解决方案2显示了一个基准+分压器+缓冲器。

这里, V_{BIAS}的漂移, 如公式1所示, 由基准漂移δ_{REF}, 电阻分压网络漂移δ_{RDIV}, 和缓冲放大器漂移δ_{BUF}所构成。

$$\delta_{V_{BIAS}} = \sqrt{\delta_{REF}^2 + \delta_{RDIV}^2 + \delta_{BUF}^2} \quad (1)$$

对于一个相类似的低漂移解决方案, 选择0.1%, 5ppm/°C的温度漂移的电阻。考虑到放大器的满量程范围为1.5V, 缓冲放大器的偏移量不是特别明显。要满足输入偏移电压误差为0.1%和1ppm/°C漂移误差的目标, 所选择的放大器应该小于具有1.5mV的输入失调电压和1.5μV/°C漂移。表2显示了为该解决方案可以选择的器件。更多有关元件选择的详细信息, 请参阅低TI Designs参考设计库中的[漂移双向单电源低端电流检测参考设计](#)。

电压(V)	器件	料号	性能
3	基准电压	REF5030A	初始精度: 0.1% 温漂: 8 ppm/°C(最大值)
1.25	电阻	PCF0603-13-4K39BT1	误差: 0.1%, 温漂: 5 ppm/°C阻值: 4.99 kΩ
	放大器	LMV831	失调电压V _{OS} : 1.0 mV(最大值max)温漂: 1.5 μV/°C(最大值)

表2: 解决方案2所需的器件(基准+电阻分压器+缓冲器)。

这里快速小结下两种方案:

- 解决方案1是一个简单直接的方法, 但仅限于固定基准输出。V_{BIAS}不一定是V_{REF}/2。

- 解决方案2仅使用一个基准, 因此V_{BIAS}的漂移将跟踪V_{REF}的漂移而变化。由于电阻可以调整, 因此, 当V_{BIAS}≠V_{REF}/2时, 此解决方案具有很大价值。缺点是, 这个解决方案需要更多的器件。

图4显示了使用双输出电压的第三种解决方案参考(REF2030)从一个参考中提供 V_{REF} 和 V_{BIAS} 芯片。两个独立的缓冲器生成 V_{REF} 和 V_{BIAS} 来自带隙电压。内部电阻的大小合理配置使得 $V_{BIAS}=V_{REF}/2$ 。表3列出了REF2030的主要规格参数。

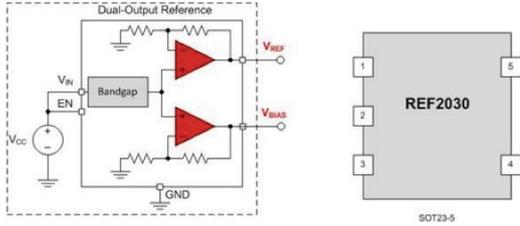


图4: 解决方案3 (REF2030 双输出基准电压)。

电压 (V)	器件	性能
3, 1.25	REF2030	初始精度: 0.05% 温漂: 8 ppm/°C (最大值) 温漂: 3 ppm/°C (典型值) 温漂跟踪: -40°C 到 125°C 全范围内, 7 ppm/°C (最大值)

表3: REF2030 规格参数。

现在我们已经看到了三种不同拓扑来生成两个基准电压，现在来比较解决方案性能，这从三个角度来看：总体误差，漂移跟踪和输出之间的匹配。

总体误差

公式2将以百分比(%)形式转换为百万分之一(ppm):

$$ppm = 10000 \times \% \quad (2)$$

每个电压输出的总体误差性能指标取决于其初始精度和温度范围的漂移，如公式3所示:

$$E_{Total_error} = \sqrt{E_{Initial_accuracy}^2 + E_{temp_drift}^2} \quad (3)$$

在解决方案1中，由于LM4140B数据手册没有给出典型的漂移大小，我们使用70°C的温度范围的最大漂移规格进行计算。在解决方案2中，REF5030A，电阻网络和一个缓冲器一起产生得到 V_{BIAS} 。因此，初始精度和漂移可以表示为这三个误差源的根平方和(RSS)，如公式1所示。由于REF2030和REF5030A使用箱形法(Box method)确定温度漂移，用于计算的温度范围是整个工作范围，或165°C。

表4显示 V_{REF} 在解决方案1和解决方案2中具有相同的性能时，其 V_{BIAS} 输出的误差会大很多。需要注意的是， V_{BIAS} 在解决方案2中的误差包括来自 V_{REF} 的误差。由于两个输出上的高初始精度和低温漂，解决方案3在三个解决方案中误差最

低。

方案	电压 (V)	误差来源	初始精度误差 (ppm)	温度漂移误差 (ppm)	总体误差 (ppm)
1	V_{REF}	3 REF5030A	1000	495	1115
	V_{BIAS}	1.25 LM4140B-1.250	1000	560	1145
2	V_{REF}	3 REF5030A	1000	495	1115
	V_{BIAS}	1.5 REF5030A, LMV831, PCF0603-13-4K99B1T	1000, 167, 1000	495, 33, 500	704, 1589
3	V_{REF}	3 REF2030	500	495	704
	V_{BIAS}	1.25			

表4: 每种输出电压误差贡献比较。

漂移跟踪和匹配

双输出系统的另一个重要技术规格参数是漂移跟踪，它描述特定温度范围内二个电压之间匹配度，计算方法如公式4所示。图5显示了REF2030漂移跟踪性能典型值。

$$Drift\ Tracking = \left(\frac{V_{DIFF(MAX)} - V_{DIFF(MIN)}}{V_{REF} \times TempRange} \right) \times 10^6 (ppm) \quad (4)$$

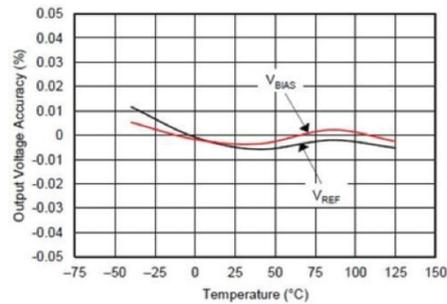


图5: V_{REF} 和 V_{BIAS} 跟踪与温度的关系曲线。

由于解决方案1是采用两个独立的基准电压，理论上这两个基准可能不会直接跟踪彼此，所以跟踪是其最大值温度漂移的RSS值(11 ppm/°C)。由于LM4140B额定工作温度范围是从0°C到70°C，所以漂移跟踪也仅适用于此温度范围。

在解决方案2中，因为 V_{REF} 中的误差在两个输出上同时存在的， V_{REF} 和 V_{BIAS} 之间的漂移跟踪 δ 跟踪仅取决于来自电阻网络(δ_{RES})和缓冲器的漂移(δ_{BUF})，如公式5所示:

$$\delta_{Tracking} = \sqrt{\delta_{RES}^2 + \delta_{BUF}^2} \quad (5)$$

如果给定初始精度误差，可以计算以RSS形式表示输出的匹配程度(在温度为25°C时)，计算方法如公式6所示。

$$Output_Matching = \sqrt{E_{V_{REF_Initial_accuracy}}^2 + E_{V_{MAX_Initial_accuracy}}^2} \quad (6)$$

表5是一个比较总结。解决方案2中，漂移跟踪和输出匹配很大程度上取决于电阻的精度。在跟踪两个输出的解决方案2略好，输出的匹配是比解

决方案 3 差得多。实际上，解决方案 3 要好 900ppm。即方案 3 在 450°C 范围变化时，仍然能实现和方案 2 一样的精度。

方案	误差来源	输出匹配 (温度为 25°C, ppm)	漂移跟踪 (ppm/°C)
1	REF5030A	1414	11
	LM4140B-1.250		
2	LMV831	1014	5
	PCF0603-13-4K99BT1		
3	REF2030	100	7

表 5：输出匹配和漂移跟踪的比较。

从这个比较中，可以看到解决方案 3 在大多数情况下具有最佳的整体性能。但实际上，工程师必须考虑除性能以外的更多因素。那么让我们来看看这三种方法放一起来比较所占用的 PCB 空间和成本。

占用的空间和成本

除了系统性能外，在高密度应用设计中，PCB 面积要求变得十分关键。图 6 中给出了每个解决方案的所需 PCB 空间一览（未考虑去耦电容器）。

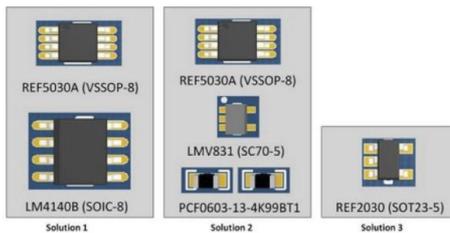


图 6：三种解决方案所占用的 PCB 空间。

表 6 显示了所需空间的简单计算（只考虑器件本体尺寸）。通过集成双输出方案，只需要一个封装尺寸为 4.64mm² 的 PCB 面积即可实现，相对于方案 1 和 2，REF2030 减少了 83% 和 67% 的总空间。从成本角度来看，REF2030 比方案 1 低 30%，比方案 2 低 30%。

方案	器件	封装	本体尺寸 (mm x mm)	总面积 (mm ²)	成本 (USD)
1	REF5030A	VSSOP-8	3 x 3	28.11	1.35
	LM4140B-1.250	SOIC-8	2.9 x 4.9		1.55
2	REF5030A	VSSOP-8	3 x 3	14.06	1.35
	LMV831	SC70-5	1.25 x 2		0.4
	2 x PCF0603-13-4K99BT1	0603 (1608 米制单位)	1.6 x 0.8 (单个)		0.48
3	REF2030	DDC-5	1.6 x 2.9	4.64	1.4

表 6：所有三种解决方案占用的空间和成本。

小结

表 7 比较了所有三种解决方案。

解决方案 1 由两个独立的基准电压构成，思路非常简单，易于实现。然而，缺点也是显而易见的：它在电压选择方面的可用性有限，二个输出之间没

有直接的漂移跟踪。此外，使用两个低漂移高精度基准成本是非常高的。

方案	电压 (V)	器件	初始精度误差 (ppm)	温度漂移误差 (ppm)	总误差 (ppm)	匹配度 (@ 25°C, ppm)	漂移跟踪 (ppm/°C)	本体尺寸 (mm)
1	V _{REF} = 3	REF5030A		495	116			28.11
	V _{REF} = 1.25	LM4140B-1.25	1000	500	1166	1414	16	
2	V _{REF} = 3	REF5030A	1000	495	1116	1014	5	14.06
		LMV831		167	33			
	V _{REF} = 1.25	PCF0603-13-4K99BT1	1000	500	1089			
3	V _{REF} = 3	REF2030	500	495	704	100	7	4.64
	V _{REF} = 1.25							

表 7：所有三种解决方案最终比较

解决方案 2 需要更多元件和电路板空间，其成本更低，漂移跟踪比解决方案 1 更好。解决方案 2 中 V_{BIAS} 的精度比解决方案 1 要差，因为它取决于 V_{REF} 的漂移，分压器和缓冲放大器。其优点是，解决方案 2 在设计不同的偏置电压方面很灵活，尤其在 V_{BIAS} ≠ V_{REF}/2 的应用场合中。

解决方案 3 最显著的区别在于它是单芯片解决方案，这种设计具有最佳的初始精度，以及更低的成本和更小的 PCB 空间。事实上，和解决方案 2 相比，其输出匹配率提高了 90%，且只占 67% 的空间，成本还降低了 30%。换句话说，如果你是针对性的一个低漂移系统，并不想为实现高精性能付出太高代价的话，解决方案 3 (REF2030) 会是一个不错的选择。

2.精密的单输出基准电流源

By Zachary Richards

拉电流源和灌电流源是模拟电路的重要组成部分，从有源模拟电路的简单偏置电路到电流电容积分器复位和振荡器结构。实现电流源的一种方便的拓扑是用运算放大器来驱动场效应晶体管 (FET)，串联一个小的串联电阻并采样其上的电流作为反馈来产生一个电流源。图 1 描述了这种拓扑。

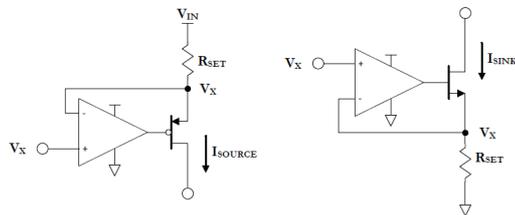


图 1：通过反馈产生的拉电流源和灌电流源电路。

如图 1 所示，两个电路都是利用负反馈强制在 R_{SET} 电阻两端产生电压，灌电流和拉电流之值为（等式 1 和等式 2）：

$$I_{SOURCE} = \frac{(V_{IN} - V_X)}{R_{SET}} \quad (1)$$

$$I_{SINK} = \frac{V_X}{R_{SET}} \quad (2)$$

为了能让电流变为可以使用的直流电，分子在公式 1 和 2 必须是定值。最简单的方法实现这一点是使用并联基准电压源，如图所示图 2。

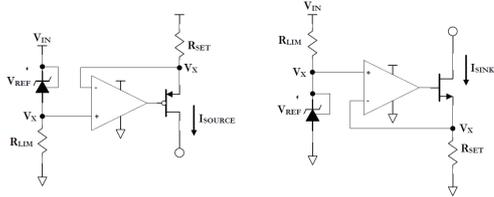


图 2：通过基准电压反馈生成的灌/拉电流源。

请注意，在图 2 中， R_{LIM} 电阻会降低过多的输入电压并限制通过基准电压的电流。此外，一个可调参考电压（如 [LMV431](#)）可以强制反馈电压达到其最小值，这提供了一个重要的优势，将在后面探讨。将公式 1 和 2 重写为公式 3 和 4：

$$I_{SOURCE} = \frac{(V_{IN} - V_X)}{R_{SET}} = \frac{(V_{IN} - (V_{IN} - V_{REF}))}{R_{SET}} = \frac{V_{REF}}{R_{SET}} \quad (3)$$

$$I_{SINK} = \frac{V_X}{R_{SET}} = \frac{V_{REF}}{R_{SET}} \quad (4)$$

将公式 3 和 4 结合起来，因为它们是完全一样的，得到公式 5，可以求出产生任意 I_{SET} 电流值的 R_{SET} ：

$$R_{SET} = \frac{V_{REF}}{I_{SET}} \quad (5)$$

必须在 FET 和 R_{SET} 电阻两端保持一定的裕量，这限制了此拓扑的输出电压范围。最小化强制反馈电压可以使输出电压有效范围达到最大。等式 6 和 7 分别描述了有效输出电压区域内部和外部的拉电流源/灌电流源的行为：

$$I_{SOURCE} = \begin{cases} \frac{V_{REF}}{R_{SET}}, & V_{SOURCE} < V_{IN} - V_{REF} \\ \frac{V_{IN} - V_{SOURCE}}{R_{SET}}, & V_{SOURCE} \geq V_{IN} - V_{REF} \end{cases} \quad (6)$$

$$I_{SINK} = \begin{cases} \frac{V_{REF}}{R_{SET}}, & V_{SINK} > V_{REF} \\ \frac{V_{SINK}}{R_{SET}}, & V_{SINK} \leq V_{REF} \end{cases} \quad (7)$$

任意可调基准电压的内部 V_{REF} 大约为 1.24V。它通过带隙基准产生，这个特定的电压将最终确定整个拓扑的限制。图 3 是灌电流源特性的示例（包括线性电流压降）， R_{SET} 值为 124Ω。

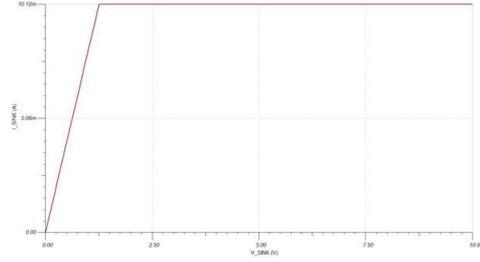


图3：灌电流源与输出电压特性

在此，用双极型晶体管 (BJT) 代替 FET 拓扑结构可能会导致裕量需求略高，尽管最终这种替代应该表现出来几乎完全相同。理想的电流源是电路理论中的基本单元。虽然任何物理现实总是偏离理想，但是了解这些缺点背后，可以减轻或避免它们是很有意义的。在这种拓扑的情况下，你已经看到了输出电压范围影响输出电流，以及基准电压在减小此影响过程中扮演了重要的角度。

3. 单反馈器件构成的基准电流网络

By Zachary Richards

产生任意大小的直流电流是一件简单的事情，只需要运算放大器反馈和一个基准电压源。但是，如果要得到一些任意数量（例如 N ）的灌电流源（或拉电流源），且每一个电流大小也是任意的，也许需要某些复杂的模拟电路。参考电压的产生只需要单一的实现，但是重复灌电流源整个反馈部分则让设计成本和空间大量增加。所以问题就出来了：是否有一种办法，只采用单一反馈源来实现一个偏置网络？答案是肯定的，虽然它有点复杂，而且必须满足一定的条件。图1即为这样的网络（仅以灌电流源作为分析）。

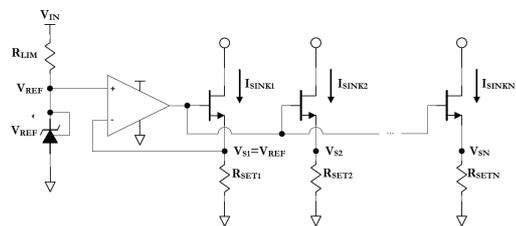


图1：灌电流（源）网络。

金属氧化物半导体场效应晶体管 (MOSFET) 的源极电压， V_S 和 R_{SET} 电阻决定每条支路的（灌）电流大小；通过将外部支路的反馈移除（即，对于所有 $N > 1$ ），则无法对 V_{SN} 直接进行控制。因此，必须仔细选择 R_{SETN} 来生成期望的任意第 N 支路（灌）电流 I_{SINKN} 。

检查图1，公式1定义了第 N 个支路和第 1 个支路

的电流比:

$$\frac{I_{SINKN}}{I_{SINK1}} = \frac{V_{SN}/R_{SETN}}{V_{REF}/R_{SET1}} = \frac{V_{SN}}{V_{REF}} \cdot \frac{R_1}{R_N} = \frac{V_{SN}}{V_{REF}} \cdot M_{RN} = M_{IN} \quad (1)$$

重新整理公式1, 求解 R_1 至 R_N 电阻比率 M_{RN} , 得到公式2:

$$M_{RN} = \frac{V_{REF}}{V_{SN}} \cdot M_{IN} \quad (2)$$

那么偏置网络中的第N支路的MOSFET源电压 V_{SN} 是多少? 考虑处于饱和区的N沟道MOSFET, 有公式3:

$$I_{DN} = \frac{1}{2} \cdot K_n \cdot (V_{GS} - V_T)^2 \cdot (1 + \lambda \cdot V_{DS}) \quad (3)$$

可以在很大程度上忽略沟道宽度调制的影响, 因为漏极电流随着漏极电压增加的电压会呈现在 R_{SET} 电阻上, 并导致源极电压增加。为了保证MOSFET导通流过电流, 栅极电压必须大于源极电压和阈值电压之和。也就是说, 对于固定的栅极电压, 源极电压最终被钳位到至少低于它的阈值电压降, 并且没有任何漏极电压增加而导致漏极电流增加。因此, 要达到这个工作条件, R_{SET} 必须足够大以满足如下公式的假设:

$$(1 + \lambda \cdot V_{DSN}) \approx 1 \quad (4)$$

基于公式3和4, 公式1中的电流比率现在可以重写为公式5所示:

$$M_{RN} = \frac{I_{SINKN}}{I_{SINK1}} = \frac{\frac{1}{2} \cdot K_n \cdot (V_{GSN} - V_T)^2}{\frac{1}{2} \cdot K_n \cdot (V_{GS1} - V_T)^2} = \frac{(V_G - V_{SN} - V_T)^2}{(V_G - V_{REF} - V_T)^2} = \left(\frac{V_G - V_{SN} - V_T}{V_G - V_{REF} - V_T} \right)^2 \quad (5)$$

为了简化公式5, 定义如下:

$$V_{GT} = V_G - V_T \quad (6)$$

将此定义代入公式5之中, 并重新编排, 可以推导出 V_{SN} 的公式(公式7和8):

$$V_{GT} - V_{SN} = \sqrt{M_{IN}} \cdot (V_{GT} - V_{REF}) \quad (7)$$

$$V_{SN} = (1 - \sqrt{M_{IN}}) \cdot V_{GT} + \sqrt{M_{IN}} \cdot V_{REF} \quad (8)$$

现在将公式8代入公式2中, 得到公式9和10:

$$M_{RN} = \frac{V_{REF}}{V_{SN}} \cdot M_{IN} = \left(\frac{V_{SN}}{V_{REF}} \right)^{-1} \cdot M_{IN} = \left[\frac{(1 - \sqrt{M_{IN}}) \cdot V_{GT} + \sqrt{M_{IN}} \cdot V_{REF}}{V_{REF}} \right]^{-1} \cdot M_{IN} \quad (9)$$

$$M_{RN} = \left[(1 - \sqrt{M_{IN}}) \cdot \frac{V_{GT}}{V_{REF}} + \sqrt{M_{IN}} \right]^{-1} \cdot M_{IN} \quad (10)$$

那么门电压和栅极驱动的压差 V_{GT} 怎么衡量? 它由最终偏置网络中的第一个支路的反馈决定; 它基本上是维持所需的电流 I_{SINK1} 的电压, 由公式11表

示:

$$I_{SINK1} = \frac{1}{2} \cdot K_n \cdot (V_{GT} - V_{REF})^2 = \frac{V_{REF}}{R_{SET1}} \quad (11)$$

重新编排公式11, 可以得到 V_{GT} 的公式如下:

$$\frac{2 \cdot V_{REF}}{K_n \cdot R_{SET1}} = (V_{GT} - V_{REF})^2 \quad (12)$$

$$V_{GT} = V_{REF} + \sqrt{\frac{2 \cdot V_{REF}}{K_n \cdot R_{SET1}}} \quad (13)$$

将公式13代入公式10中, 得到公式14:

$$M_{RN} = M_{IN} \cdot \left[(1 - \sqrt{M_{IN}}) \cdot \left(\frac{V_{REF} + \sqrt{\frac{2 \cdot V_{REF}}{K_n \cdot R_{SET1}}}}{V_{REF}} \right) + \sqrt{M_{IN}} \right]^{-1} \quad (14)$$

最终, 我们可以重新写出电阻比公式, M_{RN} , 它只与 M_{IN} 有关(以及偏置网络器件的物理常数), 如公式15所示:

$$M_{RN} = M_{IN} \cdot \left[(1 - \sqrt{M_{IN}}) \cdot \left(1 + \sqrt{\frac{2}{K_n \cdot R_{SET1} \cdot V_{REF}}} \right) + \sqrt{M_{IN}} \right]^{-1} \quad (15)$$

那么, 关于上术公式15, 你怎么看? 首先, 对于一个 M_{IN} 比率为1, 和预期的一样, 相应的 M_{RN} 比例也将为1。其次, 对于 M_{IN} 大于1的值, 请注意公式15的分母中两个项的不同符号。这意味着取决于某些物理量(K_n , R_{SET1} , V_{REF})的大小, M_{RN} 可以任意变化。因此, 你应该避开这个区间, 具体地, 通过确保每个支路电流(N个支路上的电流) $I_{SINKN} \leq I_{SINK1}$, 从而工作于 $M_{IN} \leq 1$ 区域。

如果公式15中根项的分母(K_n , R_{SET1} , V_{REF} 之积)变大的话, 这样导致 M_{RN} 和 M_{IN} 之间的线性关系在1:1的极限区间内。最终, V_{REF} 和 R_{SET1} 可用值范围增加的积将受到所需要灌电流大小的限制。不过值得注意的是, 对于一个固定的 I_{SINK1} 值, 增加 V_{REF} 也需要增加 R_{SET1} 。产品中的最终变量 K_n 是MOSFET的工艺跨导, 这个参数与器件选择相关性很大。图2说明了 K_n 对 M_{RN} 和 M_{IN} 线性关系的影响(K_n 值范围跨越5个数量级)。

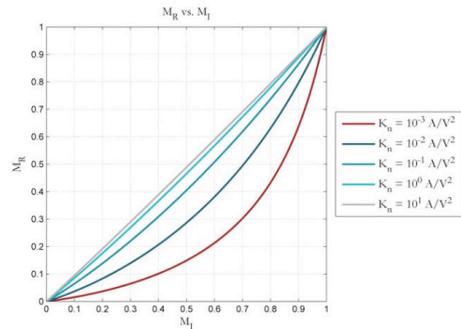


图2: 工艺跨导对电阻比和电流比的影响。

跨导依赖于半导体载流子迁移率, 氧化层介电常数以及氧化层厚度 (μ , ϵ_{ox} , t_{ox}) 这些材料和工艺特性。请看公式16:

$$K_n = k_n' \cdot \frac{W}{L} = \mu_n \cdot C_{ox} \cdot \frac{W}{L} = \mu_n \cdot \frac{\epsilon_{ox}}{t_{ox}} \cdot \frac{W}{L} \quad (16)$$

然而, 工艺跨导也是依赖器件的宽长比, 一般来说, 较大面积封装的器件将导致公式15所示的线性行为增强。虽然大多数数据表中不包含 K_n 这个参数, 但是可以从数据表参数计算得到正向跨导, 通常记为 g_m 或 g_{FS} :

$$g_m = g_{FS} = \frac{\partial I_{Dn}}{\partial V_{GS}} = \frac{\partial}{\partial V_{GS}} \left(\frac{1}{2} \cdot K_n \cdot (V_{GS} - V_T)^2 \right) = K_n \cdot (V_{GS} - V_T) \quad (17)$$

回顾一下, 工作在饱和区的NMOS漏极电流方程为:

$$I_{Dn} = \frac{1}{2} \cdot K_n \cdot (V_{GS} - V_T)^2 \cdot (1 + \lambda \cdot V_{DS}) \quad (18)$$

忽略掉沟道长度调制影响, 并重写公式18, 可以得到:

$$V_{GS} - V_T = \sqrt{\frac{2 \cdot I_D}{K_n}} \quad (19)$$

将结果代入公式17之中, 可以利用公式20和21求出工艺跨导 K_n 。

$$g_m = K_n \cdot \sqrt{\frac{2 \cdot I_D}{K_n}} = \sqrt{2 \cdot I_D \cdot K_n} \quad (20)$$

$$K_n = \frac{g_m^2}{2 \cdot I_D} \quad (21)$$

使用公式21, 可以为偏置网络选择最佳的MOSFET。更进一步, 利用此参数值, 再次使用公式15来可以更准确地计算产生期望电流 I_{SINKN} 的 R_{SETN} 电阻大小。

在 $M_{IN} \leq 1$ 区域, 公式15好像高估了 R_{SETN} 的阻值, 也就是说, 它会导致电流比期望的值要低。但是, 理想的晶体管 ($M_{IN} = M_{RN}$), 在这个区间总是会低估 R_{SETN} 电阻值。因此, 计算这两个值最终就得到了所需确切值的边界。

考虑两个随机选择的N沟道场效应晶体管(NFET): N沟道MOSFET A和N沟道MOSFET B, 其中列出的跨导 g_{FS} 为 $5.5A/V^2$ ($I_D=9A$)和 $15A/V^2$ (在 $I_D=31A$)。假设你使用它们来构建一个网络, 其 $M_{IN}=1/4$; 表1显示了使用公式15计算校正的 R_{SETN} 和 M_{RN} 比率 (以及一些简单的设计值)。

	g_{FS} (S)	I_D (A)	K_n (A/V ²)	V_{GS} (V)	I_{Dn} (A)	I_{Dn} (A)	M_n	R_{SETN} (Ω)	R_{RN} (Ω)	M_{RN}
N-channel MOSFET A	5.5	9	1.68	1.25	1.0	0.25	0.25	1.25	7.18	0.174
N-channel MOSFET B	15	31	3.63	1.25	1.0	0.25	0.25	1.25	6.48	0.193

表1: 对于 $M_{IN}=1/4$ 的电路参数和计算得到的

R_{SETN} 和 M_{RN} 。

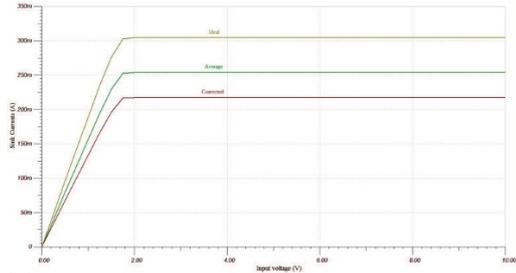


图3: 理想, 校正和平均 R_{SETN} 值下的灌电流与漏极电压关系。

	Ideal			Corrected			Average		
	R_{SETN} (Ω)	I_{Dn} (A)	Error (%)	R_{SETN} (Ω)	I_{Dn} (A)	Error (%)	R_{SETN} (Ω)	I_{Dn} (A)	Error (%)
N-channel MOSFET A	5.0	0.304	21.6	7.2	0.218	-12.8	6.1	0.254	1.5
N-channel MOSFET B	5.0	0.283	13.2	6.5	0.221	-11.6	5.7	0.248	-0.8

表2: R_{SETN} 计算方法和结果精度。

使用表1中列出的N通道MOSFET B, 图3显示了图1中电路的TINA-TI™仿用结果, 这包括从理想情况计算出来的 R_{SETN} 值 (在这些条件下为 5Ω), 校正的情况 (公式15) 和两者的平均值三种不同的情况。

表2总结了使用两者的模拟结果N沟道MOSFET A和N沟道MOSFET B三个 R_{SETN} 值 (如上所述) 以及它们的值相应的百分比误差。

最后, 如果你能满足一定的条件, 即: 在偏置网络中, 最主要反馈驱动的那条支路是网络中电流最大的支路, 而且其他支路都能保持合理的比例, 你就可以用一个单反馈器件来构建一个任意值的偏置网络。这样, 一个单基准电压的偏置网络就建立起来了。

4.简单、精密的灌电流 (源) 架构

By Zachary Richards

利用运算放大器反馈和基准电压, 可以简单直接来产生任意大小的直流电流。使用几个外部运算放大器的架构, 可用于实现单个或网络拉电流和灌电流 (源)。

现在来讨论一下基准电压内部本身反馈的架构。首先从基准电压的电气符号及其实际功能框图开始, 如下图1所示。

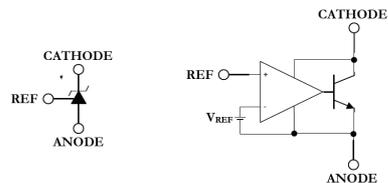


图1: 基准电压及其功能框图。

这里仍然用了稳压二极管的符号，因为这本质还是基准电压的（表现）形为。然而，并可以通过巧妙的设计而不是简单的通过器件本身。如图2所示的自我偏置基准（阴极和参考连接在一起）电路。

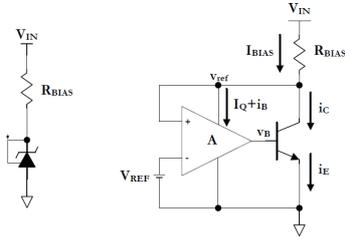


图2：基准电压典型电路。

关于这个电路结构，你能感觉出点什么吗？首先，对电路图2进行电流定义以及简化，可以得到公式1的电流关系：

$$I_{BIAS} = I_Q + i_B + i_C = I_Q + i_E \quad (1)$$

I_{BIAS} 是运算放大器静态电流 I_Q 和双极结型晶体管（BJT）的发射极电流 i_E 的总和。而正常工作时，相对于发射极电流 i_E 而言，运算放大器的静态电流相比可以忽略不计，所以公式进一步可以简化为公式2：

$$I_{BIAS} \approx i_E \quad (2)$$

等式3和4定义了发射极电流，仍然是基极-发射极结的二极管方程，并假设具有理想因子的正向偏置。

$$i_E = I_S \cdot (e^{v_{BE}/V_T} - 1) \approx I_S \cdot e^{v_{BE}/V_T} \quad (3)$$

$$I_{BIAS} \approx I_S \cdot e^{v_{BE}/V_T} \quad (4)$$

如公式4所示，必须有一定的基极发射极电压来维持偏置 I_{BIAS} 。这意味着图2中的 v_{ref} 和 V_{REF} 之间存在偏差；通过公式5，可以利用 V_{REF} 和扰动电压 ϵ_v 来定义 v_{ref} ：

$$v_{ref} = V_{REF} + \epsilon_v \quad (5)$$

$$v_{BE} = A \cdot (V_{REF} + \epsilon_v - V_{REF}) = A \cdot \epsilon_v \quad (6)$$

$$\epsilon_v = \frac{v_{BE}}{A} \quad (7)$$

很明显，理想运算放大器其 ϵ_v 为零；然而，我们必须保守考虑其值。公式8中假定保持 I_{BIAS} 所需的 V_{BE} 是0.5V，一般运算放大器的增益为10000倍：

$$\epsilon_v = \frac{0.5V}{10^4} = 50\mu V \quad (8)$$

对于1.25V基准电压，这表明其误差为千分之四或40ppm。也就是说，这种误差一般情况来说没有影响。现在考虑一下当增加输入电压时（也即 I_{BIAS} ），这个 ϵ_v 会发生什么变化。具体来看，在任意一个操作点位置将 I_{BIAS} 增加一倍，如公式9和10所示：

$$I_{BIAS1} = I_S \cdot e^{\frac{v_{BE1}}{V_T}} \quad (9)$$

$$I_{BIAS2} = I_S \cdot e^{\frac{v_{BE2}}{V_T}} = 2 \cdot I_{BIAS1} \quad (10)$$

将以式10除以公式9，可以看到 I_{BIAS} 加倍后 V_{BE} 的变化，并化简得到公式11至13。

$$\frac{I_{BIAS2}}{I_{BIAS1}} = \frac{I_S \cdot e^{\frac{v_{BE2}}{V_T}}}{I_S \cdot e^{\frac{v_{BE1}}{V_T}}} = \frac{e^{\frac{v_{BE2}}{V_T}}}{e^{\frac{v_{BE1}}{V_T}}} = 2 \quad (11)$$

$$\frac{v_{BE2}}{V_T} - \frac{v_{BE1}}{V_T} = \ln(2) \quad (12)$$

$$V_{GT} = V_{REF} + \sqrt{\frac{2 \cdot V_{REF}}{K_n \cdot R_{SET1}}} \quad (13)$$

最后，还可以导出如公式14和15所示的支持两倍 I_{BIAS} 所需 ϵ_v 的变化。

$$\Delta v_{BE} = A \cdot \epsilon_{v2} - A \cdot \epsilon_{v1} = A \cdot \Delta \epsilon_v \quad (14)$$

$$\Delta \epsilon_v = \frac{\Delta v_{BE}}{A} = \frac{V_T \cdot \ln(2)}{A} \quad (15)$$

代入室温下的温度电压当量， V_T ，并（再次）假设一般的运算放大器增益为10000倍，可以求解公式15，得到一个 $\Delta \epsilon_v$ 值，这是使 I_{BIAS} 加倍所需的一个保守的值，这样得到公式16：

$$\Delta \epsilon_v = \frac{V_T \cdot \ln(2)}{A} = \frac{17.92mV}{10^4} = 1.792\mu V \quad (16)$$

在这种情况下，每次 I_{BIAS} 加倍时， v_{ref} 处的电压都会增加仅为1.792 μV 。这是运算放大器增益乘以基极-发射极二极管的指数伏安特性，用以模拟稳压管齐纳击穿行为。

如果以不同方式连接基准电压，可以利用其内部运算放大器产生一个简单的拉电流源，如图3：

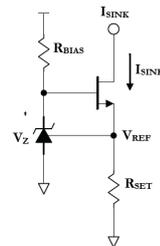


图3：由简单基准电压产生拉电流源。

为了更加直观的了解在这里发生了什么，可以

用功能框图来重画电路图，如图4所示。

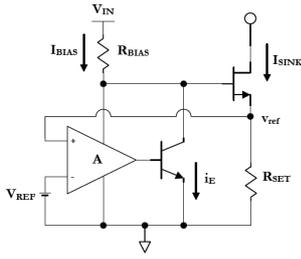


图4：简单灌电流源功能框图。

需要注意的是，在这里 V_{IN} 、 R_{BIAS} 和BJT电路基本上充当了运算放大器的反相输出级。因此，可以将总组合简化成一个具有新的增益 A_T 和反向输入极性的新运算放大器符号，如图5所示。

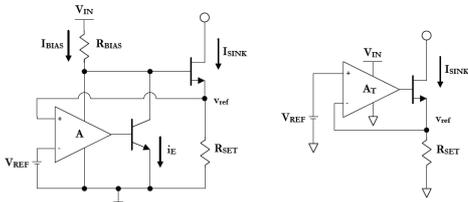


图5：简单的灌电流源功能框图和等效电路。

5.为隔离式 DC/DC 的并联稳压器进行安全设计

By Ron Michallick

你知道你使用的并联调节器存在安全隐患吗？没有？别担心，解决方案是免费的。免费当然是很好的。

在隔离DC-DC转换器应用中，有一个非常常见的反馈电路，它使用三端可调并联稳压器，如 [ATL431](#) 和一个光电隔离器来将输出电压反馈到脉宽调制器（PWM）控制器。这个电路简单、便捷易用。但是，你可能不知道其中隐藏的静电放电（ESD）/电气过应力（EOS）危险。

乍一看，图1中的三端可调并联稳压器似乎不会有EOS问题。 V_{OUT} 上的过压将导致阴极电压跌落，而且因为内部二极管的存在参考引脚的电压也不会上升。同时串联电阻将限制稳压器的参考和阴极引脚电流，从而保护了并联稳压器。因整流管钳位电压以及串联电阻限制了并联稳压器的电流，所以负电压 V_{OUT} 也不会对并联稳压器造成损坏。

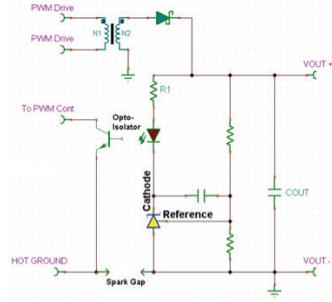


图 1：用于隔离式 DC/DC 转换器的误差放大器电路。

但是，当发生 ESD 事件时，如果绝缘隔离上的电压过高，并联稳压器可能会损坏。隔离中最薄的部分通常是光电隔离器的引脚。

一旦光电隔离器隔离层被破坏，ESD 放电回路将通过并联稳压器，如图 2 中的红线所示，这是最直接的路径。

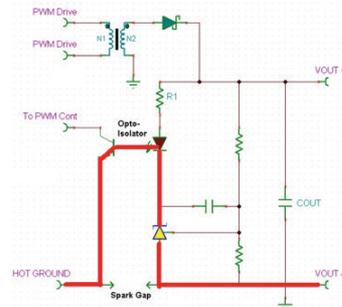


图 2：红线是 ESD 路径，在光电隔离器引脚之间会有电弧。

将电阻 R1 换个位置，从光耦阳极移至光耦的阴极，这样可以保护并联稳压器不受上述 ESD 电压（导致光耦绝缘失效）的影响。移动这个电阻对系统电气性能或稳定性没有任何影响。它的工作原理是因为在光隔离器失效后以输出电容作为泄放路径。红线在图 3 显示了新的 ESD 路径。

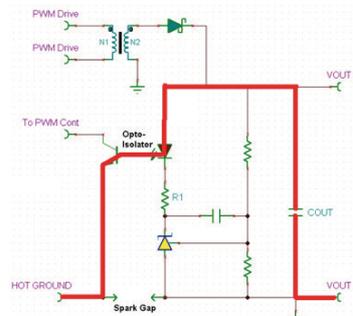


图 3：红线是 ESD 路径，在光电隔离器引脚之间会有电弧。

现在并联调节器不再位于 ESD 主路径中，所以它不会受影响。电容吸收了所有的电流，这比并联

调节器容许的 ESD 能量要大得多。取决于光电隔离器上的哪些引脚会通过电弧，这会对 PWM 控制器造成极大的危害，同时光电隔离器本身也有一定的危险。

如果在 PCB 空间受限的设计中还可能会发生另一种危险。如果你将调节器或其节点走线与隔离的走线（热地电位）靠得太近的话，电弧有可能直接涌入到调节器或其电路走线中，如图 4 所示。在这种情况下，移动电阻 R1 则无效了。解决方案是旋转一下并联调节器，将其阳极（地）最靠近隔离绝缘。



图 4：电弧（红线）对并联基准的影响。

为了提供额外的保护，可以在 PCB 二个地之间人为增加一个火花间隙（spark gap），这样当 ESD 出现时，火花间隙会从这个足够低的击穿电压路径经过，而不会窜入其他地方。从图 5 可以清楚地看到，跨过火花隙间的电弧不会对其他器件造成应力。

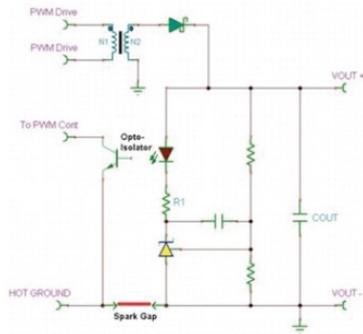


图 5：火花隙间可以保护其他器件，红线表示电弧。

正如所看到的，通过简单的改进就可以极大地提高 ESD 性能，而且如所承诺的，这些改进是不需要增加成本的。你可以将这里讨论的反馈安全电路应用于所有三端可调并联稳压器，包括 TI 的 ATL431/2，TL431/2 和 TLVH431。

参考资料

- Texas Instruments Voltage Reference Landing page: www.ti.com/vref
- Shunt voltage reference external resistor quick start calculator: www.ti.com/tool/shunt_voltage_reference_resistor_calculator
- Technical articles on voltage references: <https://e2e.ti.com/blogs/tags/vref>
- How to select a voltage reference topology article: <http://embedded-computing.com/articles/shunt-versus-series-how-to-select-a-voltage-reference-topology/#>

Important Notice: The products and services of Texas Instruments Incorporated and its subsidiaries described herein are sold subject to TI's standard terms and conditions of sale. Customers are advised to obtain the most current and complete information about TI products and services before placing orders. TI assumes no liability for applications assistance, customer's applications or product designs, software performance, or infringement of patents. The publication of information regarding any other company's products or services does not constitute TI's approval, warranty or endorsement thereof.

重要声明和免责声明

TI 提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保或其他要求。这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款 (<https://www.ti.com.cn/zh-cn/legal/termsofsale.html>) 或 [ti.com.cn](https://www.ti.com.cn) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

邮寄地址：上海市浦东新区世纪大道 1568 号中建大厦 32 楼，邮政编码：200122
Copyright © 2021 德州仪器半导体技术（上海）有限公司